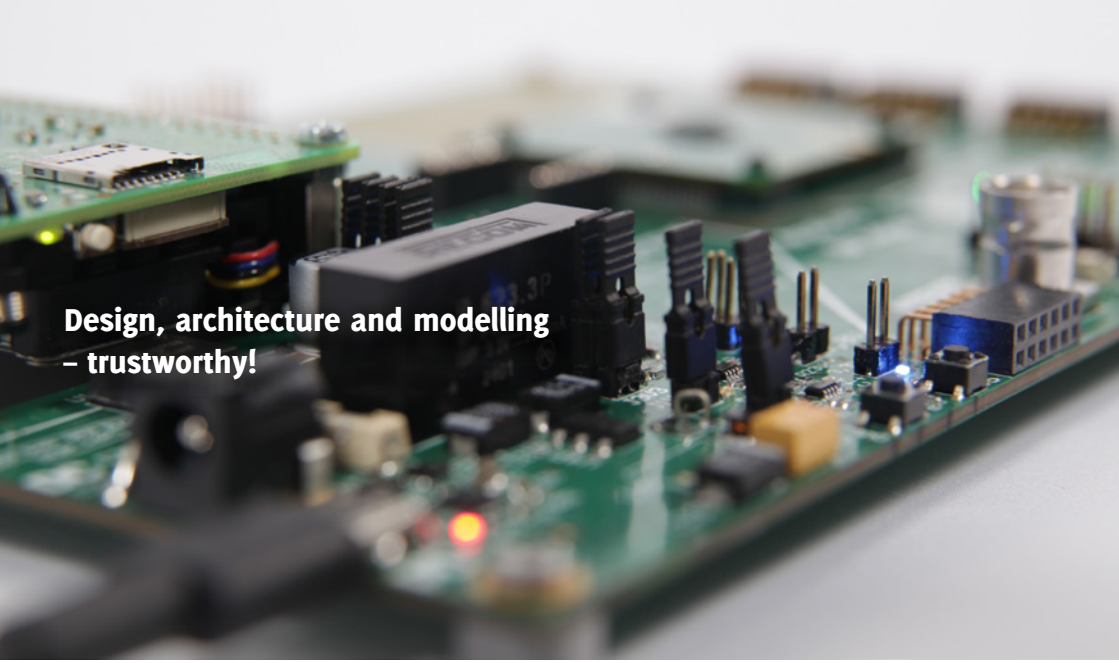


Design, architecture and modelling – trustworthy!

Demonstrator setup for the first RiscV at IMMS, a chip with open source instruction set architecture. This chip was developed in the VE-VIDES project for a demonstrator from Siemens. Photograph: IMMS.

Go to Siemens statement

Motivation and overview

The development of modern electronic systems is a complex task in which the focus is not only on performance and efficiency, but also on the safety and reliability of the components used. At the heart of the VE-VIDES project was the question of how to ensure the reliability of our mixed-signal systems when different components from different design environments have to be integrated with each other. The challenge was to identify weak points in the early stages of development and overcome them using innovative methods. The aim was to create a solid foundation for future systems that also function reliably in demanding applications such as robotics or industrial automation.

www.imms.de/vides

Field of application, challenges and solutions

The security of chips depends heavily on the quality of the IP used, i.e. the individual components. These are often complex building blocks that need to be verified at various levels. Traditional approaches, which define a narrowly defined verification phase in the design process, offer a certain degree of security, but also limitations. In particular, short-term changes before handover to (prototype) production are a

© IMMS GmbH. All rights reserved. Reproduction and publication only with express permission of IMMS GmbH.

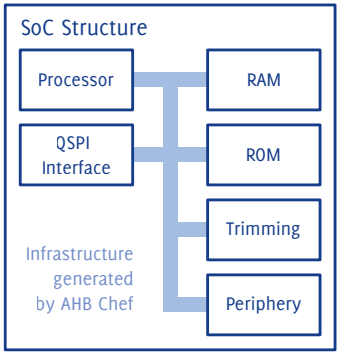


Figure 1:

The AHB Chef generates the Verilog code for the on-chip infrastructure (light blue) as well as the necessary documentation and definitions for firmware development.

Graphic: IMMS.

risk and design errors found in the chip can only be transferred back to a simulation with additional effort to analyse them in more detail. A new approach was therefore adopted: the integration of test mechanisms directly into the design process using generators for digital infrastructure and automated test procedures. At the same time, the focus was on developing tools to optimise IP management and ensure the consistency of designs. These approaches make it possible to guarantee the security of systems from the design level through to production.

Infrastructure: The road network of ASICs

The development of modern integrated circuits is like building a city: it requires not only individual buildings, but also a reliable road network that enables the exchange of data. This exchange takes place via so-called bus systems. Such a structure is shown in Figure 1. Interfaces such as I^2C or QSPI are often used for communications between different chips, which only require a few connection lines. Inside, data transmission is achieved by faster systems with more connections. Registers and memories, for example, are connected to these on-chip bus systems, which have different sizes and addresses like houses in a city.

Setting up such an infrastructure is often manual work and only partially supported by tools. The AHB[1] Chef was therefore created in the project, a Python programme with which the hardware code can be generated automatically from a description of the various registers.

© IMMS GmbH. All rights reserved. Reproduction and publication only with express permission of IMMS GmbH.

1 *AMBA High-performance Bus (AMBA: Advanced Microcontroller Bus Architecture)*

The register definitions are written by hand as a structured text file. They can be stored and versioned in the design repositories. The AHB Chef uses this "recipe" to generate the implementation in SystemVerilog, a hardware description language. Tasks such as assigning addresses and generating initial documentation and header files for verification and programming are taken over by the application.

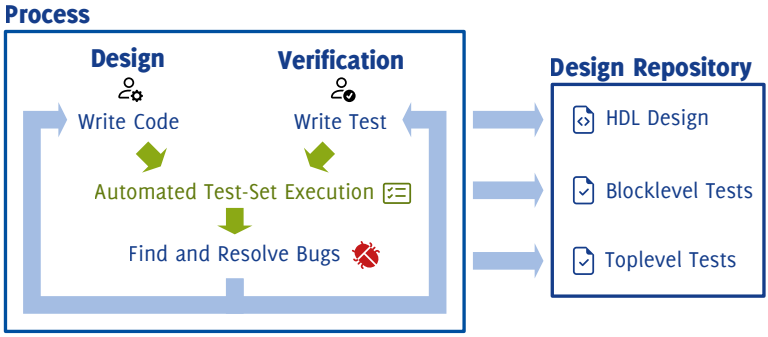
The final result is a finished component that can be used directly in the design. The AHB Chef is used in IMMS designs after the end of the project.

Regression tests in chip design

Verification simulations play a decisive role in chip design at various levels: as production is complex and expensive, as many application scenarios as possible must be tested in the prior verification. This applies to both individual components and the entire chip in the system context. To meet the associated challenges, a regression environment was created in the VIDES project with which test cases can be carried out automatically. The structure is shown in Figure 2. A "library" of test cases is created in each design and each existing component. After each update to the code or design, these test cases can be started automatically and the current status of the design can be assessed. In the course of the design and verification process, this library is expanded and completed bit by bit by design and verification engineers at IMMS. This means that even small, seemingly unproblematic changes in

Figure 2:

The new regression environment allows design and verification engineers to enter their test cases into a shared library and run them automatically. This means that design weaknesses are recognised at a very early stage and can be rectified immediately. Graphic: IMMS.



© IMMS GmbH. All rights reserved. Reproduction and publication only with express permission of IMMS GmbH.

the design can be tested and verified directly and problems recognised at an early stage without involving verification specialists.

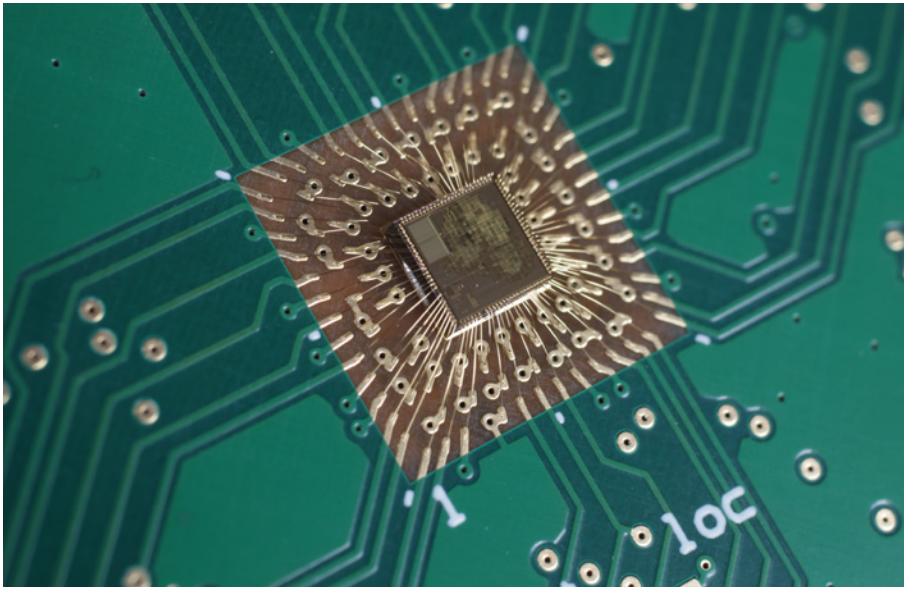
It was important in this test environment that the tests remain applicable in different domains and phases of the design. The environment is designed in such a way that both digital and mixed analog/digital circuits can be considered. In addition, each simulation can be set so that layout effects such as gate delays are also simulated and thus included in the test.

After the end of the project, the environment will be used directly in the chip designs at IMMS and further developed. The execution in FPGA prototypes and the integration of open source simulators are of interest here.

Summary and outlook

The development of trustworthy mixed-signal systems is a complex task, especially when components from different design environments need to be integrated. Traditional verification methods are often insufficient or too complex, as they take place at later stages of the design and last-minute changes before production entail risks. To address these challenges, a new approach has been taken: the integration of ver-

Figure 3: Smart sensor ASIC developed at IMMS for analysing a force sensor. This chip with RiscV processor was designed using the methods shown. Photograph: IMMS.



© IMMS GmbH. All rights reserved. Reproduction and publication only with express permission of IMMS GmbH.

ification mechanisms directly into the design process, complemented by automated tools and test environments.

The methods and tools shown were successfully demonstrated in the project using a smart sensor ASIC that can be used to analyse force sensors. Together with the partners, the chip was put into operation on the circuit board shown in Figure 3.

The VE-VIDES project results will play a major role in IMMS chips in the future: If possible, the new methods will be used right from the end of the project and further developed in follow-up projects.

Contact person: Dr.-Ing. Georg Gläser, georg.glaeser@imms.de

SPONSORED BY THE
Federal Ministry of Education and Research

In 2024, the joint project VE-VIDES was funded by the German Federal Ministry of Education and Research (BMBF) under the reference 16ME0246.

www.imms.de/vides

© IMMS GmbH. All rights reserved. Reproduction and publication only with express permission of IMMS GmbH.

Design, Architektur und Modellierung – vertrauenswürdig!

Demonstratoraufbau für den ersten RiscV am IMMS, einen Chip mit Open-Source-Befehlssatzarchitektur. Dieser Chip wurde im Projekt VE-VIDES für einen Demonstrator von Siemens entwickelt. Foto: IMMS.

Zum Statement von Siemens

Motivation und Überblick

Die Entwicklung moderner elektronischer Systeme ist eine komplexe Aufgabe, bei der nicht nur Leistung und Effizienz im Fokus stehen, sondern auch die Sicherheit und Vertrauenswürdigkeit der eingesetzten Komponenten. Kern des Projekts VE-VIDES war die Frage, wie man die Zuverlässigkeit von unseren Mixed-Signal-Systemen gewährleisten kann, wenn verschiedene Bestandteile aus verschiedenen Entwurfsumgebungen miteinander integriert werden müssen. Die Herausforderung lag darin, Schwachstellen bereits in frühen Entwicklungsstadien zu identifizieren und durch innovative Methoden zu überwinden. Ziel war es, eine solide Grundlage für zukünftige Systeme zu schaffen, die auch in anspruchsvollen Anwendungen wie der Robotik oder Industrieautomatisierung zuverlässig funktionieren.

www.imms.de/vides

Einsatzbereich, Herausforderungen und Lösungsansätze

Die Sicherheit von Chips hängt stark von der Qualität der eingesetzten IP, also den einzelnen Komponenten, ab. Diese sind oft komplexe Bausteine, die auf verschiedenen Ebenen verifiziert werden müssen. Traditionelle Ansätze, die eine eng umgrenzte Verifikationsphase im Entwurfsprozess definieren, bieten zwar eine gewisse

© IMMS GmbH. Alle Rechte sind vorbehalten. Vervielfältigung und Veröffentlichung nur mit Genehmigung der IMMS GmbH.

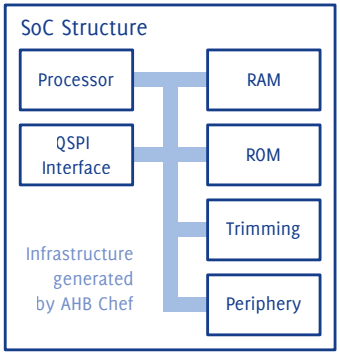


Abbildung 1:

Der AHB-Chef erzeugt den Verilog-Code für die On-Chip-Infrastruktur (hellblau) sowie die dafür notwendige Dokumentation und Definitionen für die Firmware-Entwicklung.

Grafik: IMMS.

Sicherheit, aber auch Grenzen. Insbesondere kurzfristige Änderungen vor der Übergabe in eine (Prototypen-)Fertigung sind ein Risiko und im Chip gefundene Design-Fehler können nur mit Zusatzaufwand in eine Simulation zurückübertragen werden, um sie genauer zu untersuchen. Daher wurde ein neuer Weg eingeschlagen: die Integration von Prüfmechanismen direkt in den Entwurfsprozess durch Generatoren für digitale Infrastruktur und automatisierte Prüfverfahren. Gleichzeitig standen die Entwicklung von Werkzeugen zur Optimierung der IP-Verwaltung und Konsistenzsicherung von Entwürfen im Fokus. Diese Ansätze ermöglichen es, die Sicherheit von Systemen von der Entwurfsebene bis hin zur Fertigung zu gewährleisten.

Infrastruktur: Das Straßennetz von ASICs

Die Entwicklung moderner integrierter Schaltungen ist wie der Bau einer Stadt: Sie erfordert nicht nur individuelle Gebäude, sondern auch ein zuverlässiges Straßennetz, das den Austausch von Daten ermöglicht. Dieser Austausch geschieht durch sog. Bus-Systeme. Ein solche Struktur ist in Abbildung 1 dargestellt. Für die Kommunikation zwischen verschiedenen Chips werden oft Schnittstellen wie I^2C oder QSPI verwendet, die nur wenige Anschlussleitungen benötigen. Im Inneren wird die Datenübertragung durch schnellere Systeme mit mehr Verbindungen realisiert. An diesen On-Chip-Bussystemen sind z.B. Register und Speicher angeschlossen, die wie Häuser in einer Stadt verschiedene Größen und Adressen haben.

Der Aufbau einer solchen Infrastruktur ist oft Handarbeit und nur teilweise durch Werkzeuge unterstützt. Im Projekt entstand deshalb der AHB[1]-Chef, ein Python-Programm, mit dem aus einer Beschreibung der verschiedenen Register der Hardware-Code automatisiert erzeugt werden kann.

1 *AMBA High-performance Bus (AMBA: Advanced Microcontroller Bus Architecture)*

© IMMS GmbH. Alle Rechte sind vorbehalten. Vervielfältigung und Veröffentlichung nur mit Genehmigung der IMMS GmbH.

Die Register-Definitionen werden von Hand als strukturierte Text-Datei geschrieben. Sie können mit in den Design-Repositories abgelegt und versioniert werden. Der AHB-Chef erzeugt mit diesem „Rezept“ die Implementierung in SystemVerilog, einer Hardwarebeschreibungssprache. Dabei werden Aufgaben wie die Zuweisung der Adressen und die Erzeugung einer ersten Dokumentation und von Header-Dateien für die Verifikation und die Programmierung von der Anwendung übernommen.

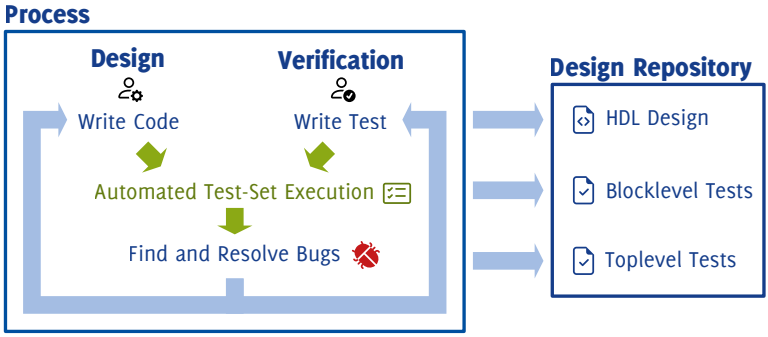
Am Ende steht eine fertige Komponente, die direkt im Design verwendet werden kann. Der AHB-Chef wird nach Projektende in IMMS-Entwürfen eingesetzt.

Regressionstests im Chip-Design

Im Chip-Design spielen Verifikationssimulationen auf verschiedenen Ebenen eine entscheidende Rolle: Da eine Fertigung aufwendig und teuer ist, müssen in der vorherigen Verifikation so viele Anwendungsszenarien wie möglich geprüft werden. Das betrifft sowohl einzelne Komponenten als auch den ganzen Chip im Systemkontext. Um den damit einhergehenden Herausforderungen zu begegnen, wurde im Projekt VIDES eine Regressionsumgebung geschaffen, mit der Testfälle automatisiert durchgeführt werden können. Die Struktur ist in Abbildung 2 gezeigt. In jedem Entwurf und jeder vorhandenen Komponente wird eine „Bibliothek“ von Testfällen erstellt. Nach jedem Code- oder Design-Update können diese Testfälle automatisiert gestartet werden und damit der aktuelle Zustand des Entwurfs beurteilt werden. Im Laufe

Abbildung 2:

Durch die neue Regressionsumgebung können Design- und Verifikationsingenieure ihre Testfälle in eine gemeinsame Bibliothek einpflegen und automatisiert durchführen. So fallen Entwurfsschwächen sehr früh auf und können sofort behoben werden. Grafik: IMMS.



© IMMS GmbH. Alle Rechte sind vorbehalten. Vervielfältigung und Veröffentlichung nur mit Genehmigung der IMMS GmbH.

des Entwurfs- und Verifikationsprozesses wird diese Bibliothek Stück für Stück von Design- und Verifikationsingenieuren am IMMS erweitert und vervollständigt. Damit können auch kleine, scheinbar unproblematische Änderungen im Design direkt getestet und verifiziert sowie Probleme frühzeitig erkannt werden, ohne dabei Verifikationsspezialisten zu binden.

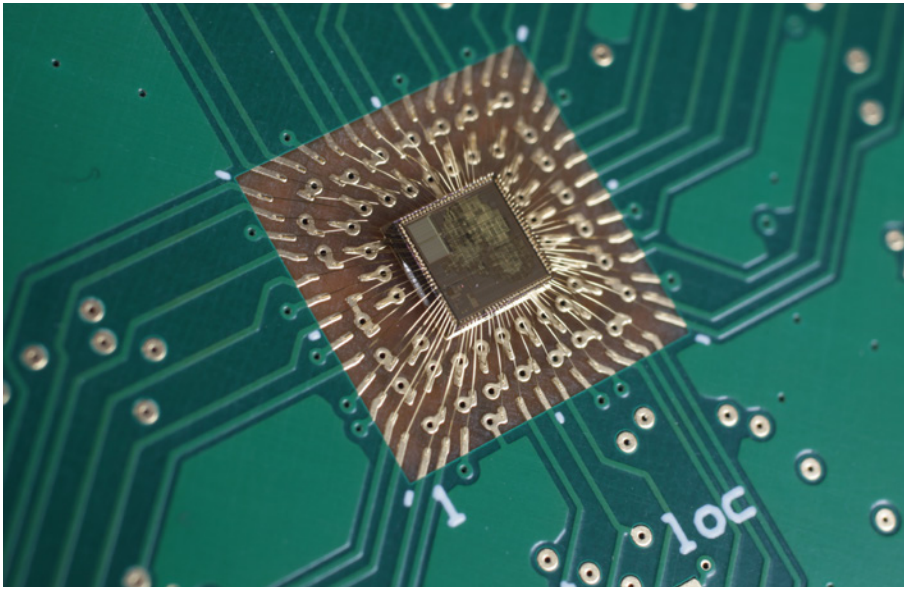
Wichtig war in dieser Testumgebung, dass die Tests in verschiedenen Domänen und Phasen des Entwurfs anwendbar bleiben. Die Umgebung ist so konstruiert, dass sowohl Digital-, als auch gemischt analog/digitale Schaltungen betrachtet werden können. Außerdem kann jede Simulation so eingestellt werden, dass auch Layout-Effekte wie z.B. Gatterverzögerungen mitsimuliert und damit in den Test einbezogen werden.

Die Umgebung wird nach Projektende direkt in den Chip-Designs am IMMS eingesetzt und weiterentwickelt. Hier sind die Ausführung in FPGA-Prototypen und die Einbindung von Open-Source-Simulatoren von Interesse.

Zusammenfassung und Ausblick

Die Entwicklung vertrauenswürdiger Mixed-Signal-Systeme ist eine komplexe Aufgabe, insbesondere wenn Komponenten aus unterschiedlichen Entwurfsumgebungen

Abbildung 3: Am IMMS entwickelter Smart-Sensor-ASIC zur Auswertung eines Kraftsensors. Dieser Chip mit RiscV-Prozessor wurde mit den gezeigten Methoden entworfen. Foto: IMMS.



© IMMS GmbH. Alle Rechte sind vorbehalten. Vervielfältigung und Veröffentlichung nur mit Genehmigung der IMMS GmbH.

integriert werden müssen. Traditionelle Verifikationsmethoden sind oft unzureichend oder zu komplex, da sie in späteren Phasen des Entwurfs stattfinden und letzte Änderungen vor der Fertigung Risiken bergen. Um diese Herausforderungen anzugehen, wurde ein neuer Ansatz verfolgt: die Integration von Prüfmechanismen direkt in den Entwurfsprozess, ergänzt durch automatisierte Werkzeuge und Testumgebungen.

Die gezeigten Methoden und Werkzeuge wurden im Projekt erfolgreich anhand eines Smart-Sensor-ASICs gezeigt, mit dem Kraftsensoren ausgewertet werden können. Der Chip konnte auf der in Abbildung 3 gezeigten Platine zusammen mit den Partnern in Betrieb genommen werden.

Die Projektergebnisse von VE-VIDES werden in den Chips des IMMS zukünftig eine große Rolle spielen: Die neuen Methoden werden nach Möglichkeit ab Projektende eingesetzt und in Folgeprojekten weiterentwickelt.

Kontakt: Dr.-Ing. Georg Gläser, georg.glaeser@imms.de

GEFÖRDERT VOM

Bundesministerium
für Bildung
und Forschung

Das Verbundprojekt VE-VIDES wurde 2024 vom Bundesministerium für Bildung und Forschung unter dem Kennzeichen 16ME0246 gefördert.

www.imms.de/vides

© IMMS GmbH. Alle Rechte sind vorbehalten. Vervielfältigung und Veröffentlichung nur mit Genehmigung der IMMS GmbH.