

Machine learning for automated modelling in chip design

The methods for automated modelling in chip design developed at IMMS make system simulations more conclusive. Machine learning and neural networks significantly reduce the manual modelling effort. Photo: IMMS.

Motivation and overview

Today, microelectronic chips are made up of a wide variety of functional blocks. These are increasingly being integrated in such a way that complex applications in the automotive, industrial or medical technology sectors can be miniaturised more and more. Sensors, actuators, communications, energy management, micro-controllers, memory and other functions are combined on a single chip. The design of such systems is thus becoming increasingly challenging. Mixed-signal verification is therefore taking on an increasingly important role in the design: it uncovers errors in the interaction of the components and ensures that higher-level requirements for the product are met. This proof is usually provided by simulations of the complete design consisting of analogue and digital parts, including external circuitry. Simulations with SPICE models are the most accurate for this, but take far too long at the system level. In order to cover all required test scenarios during verification, faster and thus less accurate behavioural models must be used instead. Creating and adapting these abstract models for the respective verification task is time-

consuming and requires a lot of experience. IMMS has therefore developed methods to automatically augment such models with additional properties and thus improve the validity of system-level simulations. Thanks to machine learning and neural networks, the manual modelling effort is significantly reduced.

Modelling concept

Behavioral models e.g. in VerilogAMS usually reflect the functional behaviour of individual circuit blocks or subsystems. If it is a self-developed block, the responsible design or verification engineer creates the corresponding model. If, on the other hand, it is a black box IP, it is mandatory to rely on the IP provider to make a model available. In any case, modelling has so far mainly been done by manual abstraction, for example by describing the input-output behaviour. So-called non-functional properties, such as power consumption, are usually not modelled because complex, non-linear dependencies to other system variables must be captured and mathematically described for this purpose. For certain designs, however, it is exactly these non-functional properties that are of essential importance. For example, the power requirements of the individual circuit blocks of an RFID sensor transponder IC must be taken into account during system verification.

IMMS has worked on these challenges in the IntelligEnt project and developed a modelling process. This learns such non-functional quantities from data using machine learning methods and thus significantly reduces the modelling effort to be

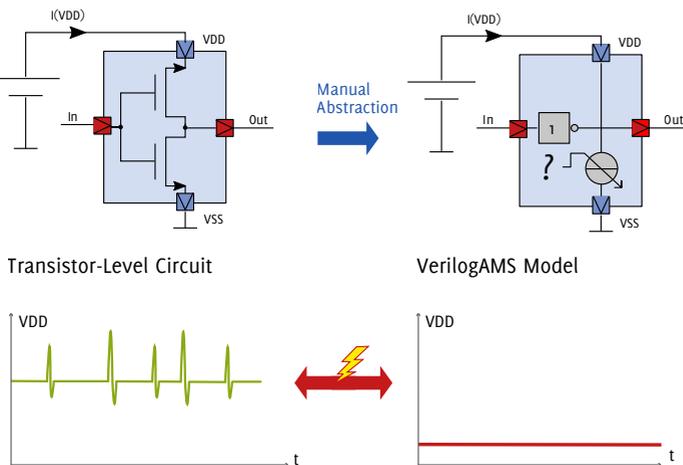


Figure 1:

Non-functional properties are usually not integrated when creating behavioural models.

Diagram: IMMS.

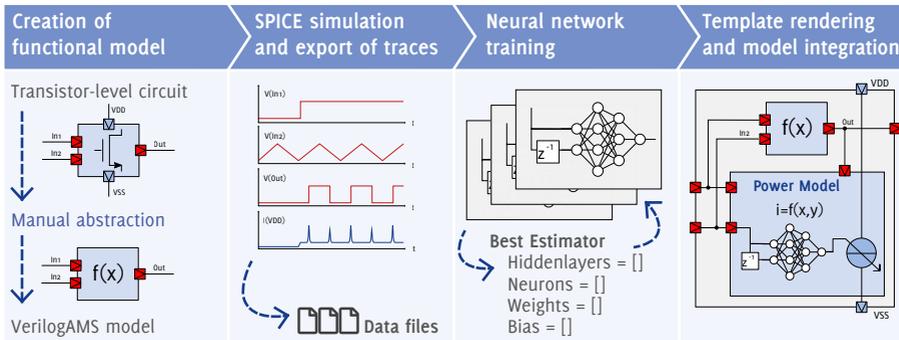
performed manually by the engineer. Specifically, neural networks were used as universal function estimators. To incorporate temporal correlations, networks were augmented with delay elements at the inputs, resulting in so-called time delay neural networks (TDNN). These networks can be evaluated efficiently in a digital event-driven simulation. Therefore, the resulting model can be simulated much faster compared to the transistor-level circuit, while non-functional properties are still represented with satisfying accuracy.

The prototypically implemented modelling flow is shown in Figure 2. Starting with the transistor-level implementation, an existing functional model is augmented with information about its transient energy consumption. For this purpose, SPICE simulations are first performed to characterise the energy consumption of the circuit. The data obtained from the simulation is then processed and converted into training data. The model is trained in a Python environment, since extensive libraries can be used for this purpose. The result of the training is a network topology selected by hyperparameter search as well as a parameter set optimised for it. In the following step, the network is exported to the design environment by generating Verilog code through template rendering. Using a Verilog rewriting tool developed at IMMS, the generated code can be automatically instantiated and connected in the existing functional model. The translation back to Verilog has the advantage that the model can be fully used with the existing design environment and no external software is required for simulation.

- 45 ○
- > *Integrated sensor systems*
- > *Distributed measurement + test systems*
- > *Mag6D nm direct drives*
- > *Contents*
- * *Funding*

More on *IntelligEnt* at www.imms.de.

Figure 2: Modelling flow for automated extension of functional models with energy consumption information. Diagram: IMMS.



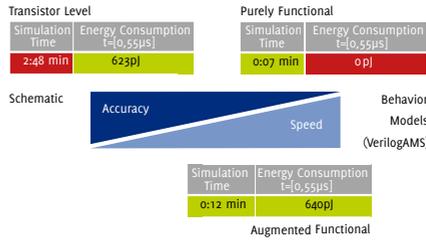
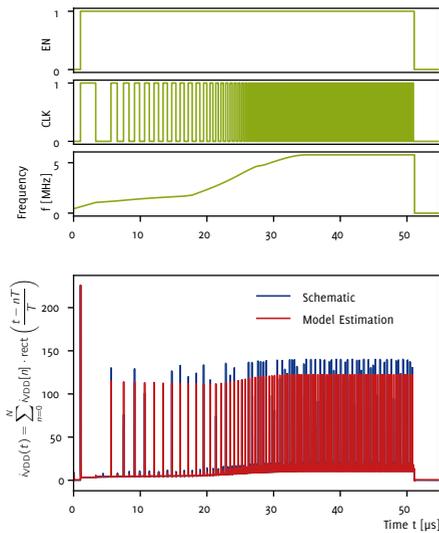


Figure 3:

Comparison of simulation time and accuracy between transistor-level implementation, functional model and functional model augmented with the developed method.

Diagram: IMMS.

Example: Modelling of a relaxation oscillator

The described design procedure was prototypically applied to the example of a relaxation oscillator frequently used as an on-chip clock source. To minimise the energy consumption of the digital part, the oscillator is only activated when a clock is necessary for operation. To include the power consumption of the oscillator in the system verification, the transient power consumption was added to a functional model. As shown in Figure 3, the extended model reproduces the power consumption sufficiently accurately, while the simulation time has increased only minimally compared to the purely functional model.

Example: Modelling switched capacitor circuits

Switched-capacitor circuits, for example in the case of charge pumps, are an essential part of the power management of memory IP or energy-autonomous sensor systems. However, current modelling approaches for this are focused on the design and are not suitable for the system level. At the same time, these circuits are very slow to simulate with SPICE models, which greatly affects the system-level simulation time. In contrast, with ML-based automated modelling, the average amount of load to be transported between capacitors and across system boundaries is estimated by a neural network for each clock cycle. In addition to the clock frequency, the load current and the current node voltages are inputs to the network. As shown

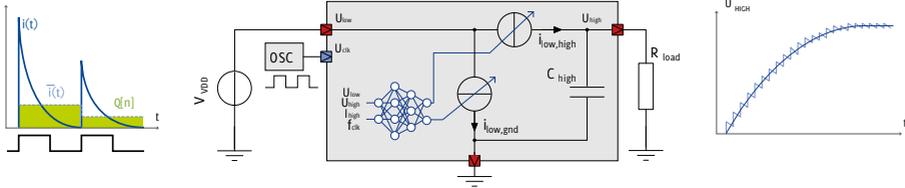


Figure 4: Example of a charge pump model based on charge transfer estimation. Diagram: IMMS.

in Figure 4, the estimated load transfer can be used to implement a real-number model. Using automated modelling, for the example of a three-stage charge pump, the charge transfer was estimated so accurately that there was a maximum 1% error in the output voltage compared to the SPICE model, while at the same time reducing the simulation time by a factor of 30.

Outlook

The application of the developed methods was successfully demonstrated in two scenarios, which were presented in two publications at scientific conferences. There is potential for further development at two points in the demonstrated procedure where currently manual intervention is still required. First, the selection of the input signals is crucial for the quality of the training data set. Here, an automatic analysis of the data should first identify the signals that have an influence on the target variables. On the other hand, the size of the neural network has to be determined manually or by a hyperparameter search. A heuristic to be found could make this process more efficient.

At IMMS, we will follow up on the presented work by applying the results to the automated modelling of complex IP blocks such as embedded memories. There is a great need for such methods in this field, as memories are typically integrated by customers into their chip designs as black-box IP. In addition, automatically provided energy models can significantly increase design reliability and allow systems to be further optimised with respect to their energy requirements.

The method is therefore also of particular interest to IP providers who intend to offer their customers application-specific behavioural models at attractive conditions.

Contact person: Georg Gläser, M.Sc., georg.glaeser@imms.de

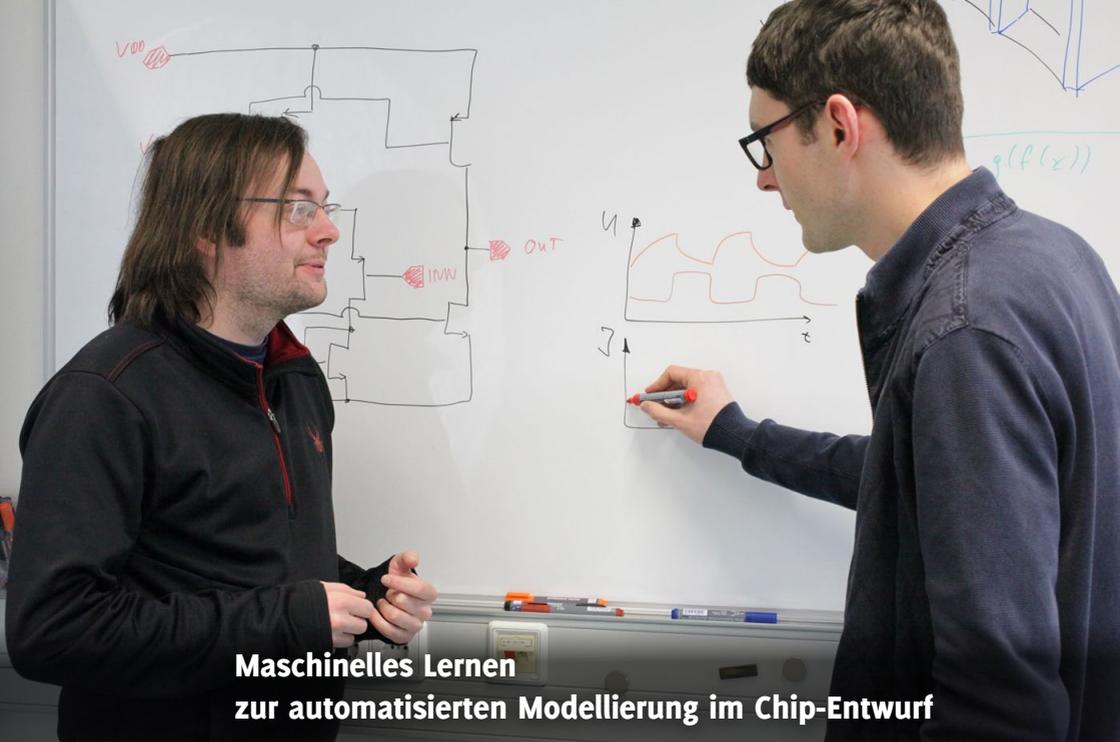


Thuringian Ministry
for Economic Affairs, Science
and Digital Society

The IntelligEnt research group was supported by the Free State of Thuringia, Germany, and the European Social Fund under the reference 2018 FGR 0089

- > *Integrated sensor systems*
- > *Distributed measurement + test systems*
- > *Mag6D nm direct drives*
- > *Contents*
- * *Funding*

More on
IntelligEnt at
www.imms.de.



Maschinelles Lernen zur automatisierten Modellierung im Chip-Entwurf

Die am IMMS entwickelten Methoden zur automatisierten Modellierung im Chip-Entwurf machen System-Simulationen aussagekräftiger. Maschinelles Lernen und neuronale Netze reduzieren den manuellen Modellierungsaufwand signifikant. Foto: IMMS.

Motivation und Überblick

Mikroelektronik-Chips sind heute aus unterschiedlichsten Funktionsblöcken aufgebaut. Diese werden mehr und mehr so integriert, dass sich komplexe Anwendungen im Automobil-, Industrie- oder Medizintechniksektor immer weiter miniaturisieren lassen. Auf nur einem Chip werden Sensorik, Aktorik, Kommunikation, Energiemanagement, Mikrokontroller, Speicher und weitere Funktionen vereint. Der Entwurf solcher Systeme wird dadurch immer herausfordernder. Die Mixed-Signal-Verifikation nimmt daher eine zunehmend wichtige Rolle im Entwurf ein: Sie deckt Fehler im Zusammenspiel der Komponenten auf und stellt sicher, dass übergeordnete Anforderungen an das Produkt erfüllt werden. Dieser Nachweis wird üblicherweise durch Simulationen des kompletten Designs aus Analog- und Digitalteil inklusive Außenbeschaltung erbracht. Simulationen mit SPICE-Modellen sind dafür zwar am genauesten, dauern aber auf System-Ebene viel zu lange. Um alle benötigten Test-szenarien bei der Verifikation abzudecken, müssen stattdessen schnellere und somit ungenauere Verhaltensmodelle eingesetzt werden. Das Erstellen und Anpassen

dieser abstrakten Modelle für die jeweilige Verifikationsaufgabe ist zeitaufwändig und erfordert viel Erfahrung. Das IMMS hat daher Methoden entwickelt, um solche Modelle automatisiert mit zusätzlichen Eigenschaften zu erweitern und damit die Aussagekraft von Simulationen auf System-Ebene zu verbessern. Dank maschinellem Lernen und neuronaler Netze reduziert sich der manuelle Modellierungsaufwand signifikant.

Modellierungskonzept

Verhaltensmodelle z.B. in VerilogAMS spiegeln üblicherweise das funktionale Verhalten einzelner Schaltungsblöcke oder Subsysteme. Wenn es sich um einen selbstentwickelten Block handelt, erstellt der jeweilige Design- oder Verifikationsingenieur das entsprechende Modell. Handelt es sich dagegen um eine Blackbox IP, ist man zwingend auf die Bereitstellung eines Modelles durch den IP-Anbieter angewiesen. In jedem Fall erfolgt die Modellierung bisher hauptsächlich durch manuelle Abstraktion, indem beispielsweise das Eingangs-Ausgangs-Verhalten beschrieben wird. Sogenannte nicht-funktionale Eigenschaften wie beispielsweise der Leistungsbedarf werden üblicherweise nicht modelliert, da dafür komplexe, nicht-lineare Abhängigkeiten zu anderen Systemgrößen erfasst und mathematisch beschrieben werden müssen. Für bestimmte Designs sind jedoch genau diese nicht-funktionalen Eigenschaften von essenzieller Bedeutung. Beispielsweise muss der Leistungsbedarf der einzelnen Schaltungsblöcke eines RFID-Sensoren-Transponder-ICs bei der Systemverifikation zwingend mitbetrachtet werden.

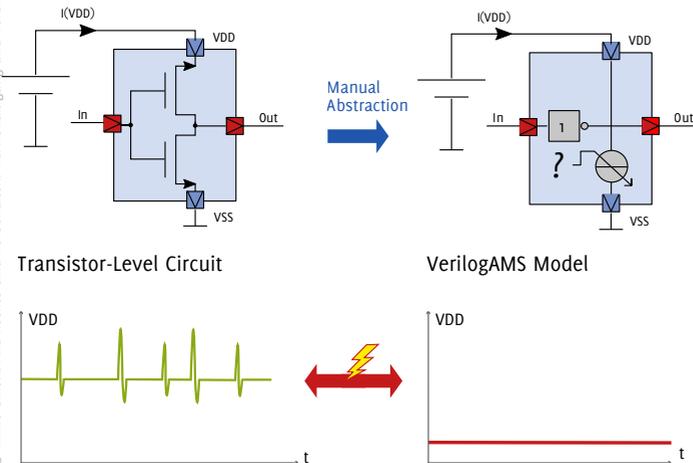


Abbildung 1:

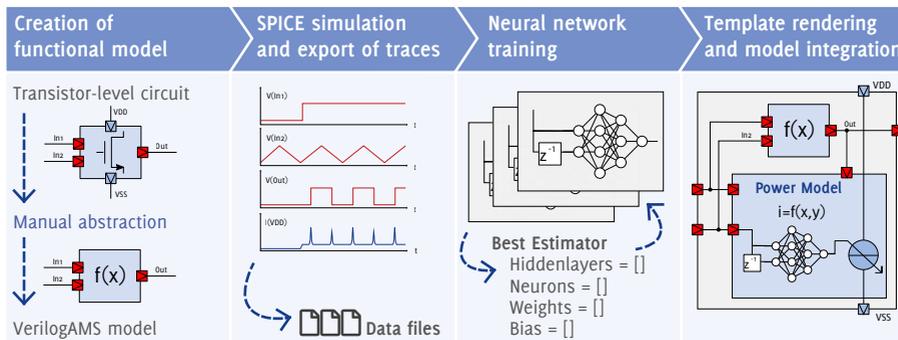
Nicht-funktionale Eigenschaften werden üblicherweise nicht bei der Erstellung von Verhaltensmodellen integriert.

Grafik: IMMS.

An diesen Herausforderungen hat das IMMS im Projekt IntelligEnt gearbeitet und einen Modellierungsablauf entwickelt. Dieser lernt solche nicht-funktionalen Größen durch Methoden des maschinellen Lernens aus Daten und reduziert dadurch die manuell vom Ingenieur auszuführenden Modellierungsarbeiten signifikant. Konkret wurden neuronale Netze als universelle Funktionsschätzer eingesetzt. Zur Einbeziehung von zeitlichen Zusammenhängen wurden Netze mit Verzögerungsgliedern an den Eingängen ergänzt, was zu sogenannten Time Delay Neural Networks (TDNN) führt. Diese Netze können effizient in einer digitalen Event-getriebenen Simulation ausgewertet werden. Dadurch ist das resultierende Modell im Vergleich zur Transistor-Level-Schaltung deutlich schneller simulierbar, während trotzdem nichtfunktionale Eigenschaften mit zufriedenstellender Genauigkeit abgebildet werden.

Der prototypisch implementierte Modellierungsablauf ist in Abbildung 2 dargestellt. Ausgehend von der Transistor-Level-Implementierung wird ein vorhandenes funktionales Modell um Informationen zu seinem transienten Energieverbrauch erweitert. Dafür werden zunächst SPICE-Simulationen durchgeführt, um den Energieverbrauch der Schaltung zu charakterisieren. Die aus der Simulation gewonnenen Daten werden anschließend aufbereitet und in Trainingsdaten umgewandelt. Trainiert wird das Modell in einer Python-Umgebung, da hier auf umfangreiche Bibliotheken für diesen Zweck zurückgegriffen werden kann. Das Ergebnis des Trainings ist eine durch Hyperparametersuche ausgewählte Netztopologie sowie ein dafür optimierter Parametersatz. Das Netz wird im folgenden Schritt in die Designumgebung exportiert, indem durch Template-Rendering Verilog-Code erzeugt wird. Mit einem am IMMS entwickelten Verilog-Rewriting-Werkzeug kann der erzeugte Code in dem vorhandenen funktionalen Modell automatisch instanziiert und angeschlossen werden.

Abbildung 2: Modellierungsablauf zur automatisierten Erweiterung von funktionalen Modellen mit Energiebedarfsinformationen. Grafik: IMMS.



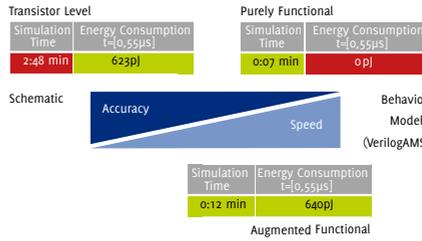
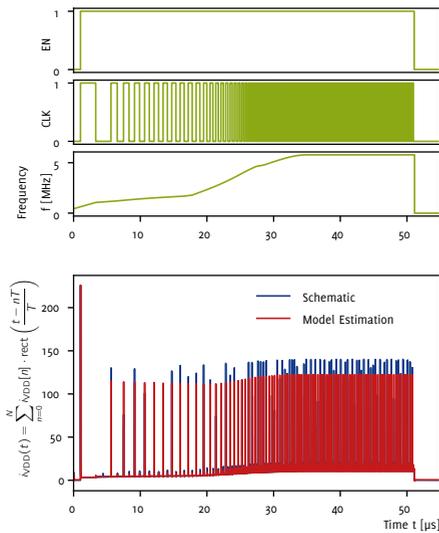


Abbildung 3:

Vergleich von Simulationszeit und Genauigkeit zwischen Transistor-Level-Implementierung, funktionalem Modell und einem mit der entwickelten Methode erweitertem funktionalem Modell.

Grafik: IMMS.

Die Übersetzung zurück nach Verilog hat den Vorteil, dass sich das Modell vollständig mit der vorhandenen Designumgebung benutzen lässt und keine externe Software zur Simulation notwendig ist.

Beispiel: Modellierung eines Relaxationsoszillators

Der beschriebene Entwurfsablauf wurde prototypisch auf das Beispiel eines häufig als On-Chip-Taktquelle eingesetzten Relaxationsoszillators angewendet. Um den Energieverbrauch des Digitalteils zu minimieren, wird der Oszillator nur aktiviert, wenn ein Takt für den Betrieb notwendig ist. Um die Energieaufnahme des Oszillators in die Systemverifikation einzubeziehen, wurde der transiente Stromverbrauch zu einem funktionalen Modell hinzugefügt. Wie in Abbildung 3 gezeigt, bildet das erweiterte Modell den Stromverbrauch ausreichend genau ab, während die Simulationszeit sich im Vergleich zum rein funktionalen Modell nur minimal erhöht hat.

Beispiel: Modellierung von Switched-Capacitor-Schaltungen

Switched-Capacitor-Schaltungen sind beispielsweise in Form von Ladungspumpen wesentlicher Bestandteil des Power-Managements von Speicher-IP oder energieautarker Sensorik. Aktuelle Modellierungsansätze dazu sind allerdings auf den Entwurf ausgerichtet und nicht für die Systemebene geeignet. Gleichzeitig sind diese Schaltungen mit SPICE-Modellen nur sehr langsam zu simulieren, was die Simulationsdauer

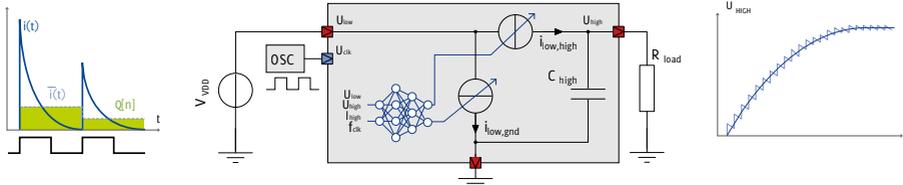


Abbildung 4: Beispiel für ein Modell einer Charge-Pump basierend auf der Schätzung von Ladungstransfers. Grafik: IMMS.

er auf Systemebene sehr stark beeinträchtigt. Mit einer ML-basierten automatisierten Modellierung wird dagegen die mittlere Menge an Ladung durch ein neuronales Netz geschätzt, die pro Taktzyklus zwischen den Kapazitäten und über die Systemgrenzen transportiert wird. Neben der Taktfrequenz sind der Laststrom sowie die aktuellen Knotenspannungen Eingänge des Netzes. Wie in Abbildung 4 gezeigt, kann der geschätzte Ladungstransfer zur Implementierung eines Real-Number-Modelles genutzt werden. Durch die automatisierte Modellierung wurde für das Beispiel einer dreistufigen Ladungspumpe der Ladungstransfer so genau geschätzt, dass sich ein Fehler von maximal 1% in der Ausgangsspannung im Vergleich zum SPICE-Modell ergeben hat, während die Simulationszeit gleichzeitig um den Faktor 30 verkürzt wurde.

Ausblick

Die Anwendung der entwickelten Methoden wurde erfolgreich in zwei Szenarien demonstriert, die u.a. in zwei Veröffentlichungen auf Fachkonferenzen präsentiert werden konnten. Entwicklungspotential gibt es an zwei Stellen im gezeigten Ablauf, an denen aktuell noch manuelle Eingriffe erforderlich sind. Zum einen ist die Auswahl der Eingangssignale entscheidend für die Qualität des Trainingsdatensatzes. Hier sollten durch eine automatische Analyse der Daten zunächst die Signale identifiziert werden, die Einfluss auf die Zielgrößen haben. Zum anderen muss aktuell die Größe des neuronalen Netzes manuell oder durch eine Hyperparametersuche bestimmt werden. Durch eine zu findende Heuristik könnte dieser Prozess effizienter gestaltet werden.

Leistungen zu
IC-Entwurfsmethoden:
www.imms.de

Am IMMS wird an die vorgestellten Arbeiten angeknüpft, indem die Ergebnisse auf die automatisierte Modellierung von komplexen IP-Blöcken wie eingebettete Spei-

cher angewendet werden. In diesem Bereich besteht ein großer Bedarf nach solchen Methoden, da Speicher in der Regel als Blackbox-IP von Kunden in ihre Chip-Designs integriert werden. Zudem können automatisch bereitgestellte Energiemodelle die Entwurfssicherheit deutlich erhöhen und es ermöglichen, Systeme hinsichtlich ihres Energiebedarfs weiter zu optimieren.

Das Verfahren ist daher besonders auch für IP-Anbieter interessant, die ihren Kunden anwendungsspezifische Verhaltensmodelle zu attraktiven Konditionen anbieten wollen.

Kontakt: Georg Gläser, M.Sc., georg.glaeser@imms.de



Ministerium
für Wirtschaft, Wissenschaft
und Digitale Gesellschaft

Die Forschergruppe IntelligEnt wurde gefördert durch den Freistaat Thüringen aus Mitteln des Europäischen Sozialfonds unter dem Kennzeichen 2018 FGR 0089.