



## ANCONA

# Computer-aided verification methods – fresh impetus for Industry 4.0 developments

### Objectives

At the basis of all the smart systems which can function as part of the Internet of Things and of all the high performance applications needed in Industry 4.0 lies the technology contained in complex, highly integrated micro-electronic chips. The System-on-Chip (SoC) technology compresses numerous elements and functions, both analogue and digital, into the narrowest of space, crowding together sensors, actuators and signal processing. Any errors in the design of the integrated circuits may impact on turnover to the tune of several hundred million dollars. They can cause costly downtime and, far worse, highly expensive product recall, repair and replacement. In order to keep such risks to a minimum, designers strive to recognise any faults as early as possible in the design process.

There is a further imperative: to design yet smarter and thus even more complex systems to meet new demands in the context of Industry 4.0. Research is focusing on the development of many new system components for the future. How these will interact with current methods can as yet only be tested in experimental setups. In anticipation, the ANCONA project partners are working on computer-aided pro-

cedures which will provide reliable testing of complex systems even at the design stage and prove their functionality. These procedures are intended to simplify and significantly accelerate the design process for mixed analogue and digital circuit systems. They will boost innovation potential and give their user a competitive edge. The specific development task of IMMS is to focus on design methods which will, among other things, integrate the coupling of the components into system models and enable the models to be efficiently simulated.

IMMS is at work on ways of automatically extending models of mixed analogue-and-digital circuits at system level so as to identify critical scenarios. FPGAs such as the Virtex7 demo board shown here are used for system simulation. Photograph: IMMS.

### Pre-existing technology

There are many established methods of evaluating the design of the digital components of a system. These include the automatically generated random test signals which are part of the state of the art of Universal Verification Methodology. There is also the possibility of calculating how well the tests have monitored the system behaviour, for instance by comparing the number of system states tested with the number of possible system states.



WE CONNECT IT TO THE REAL WORLD.

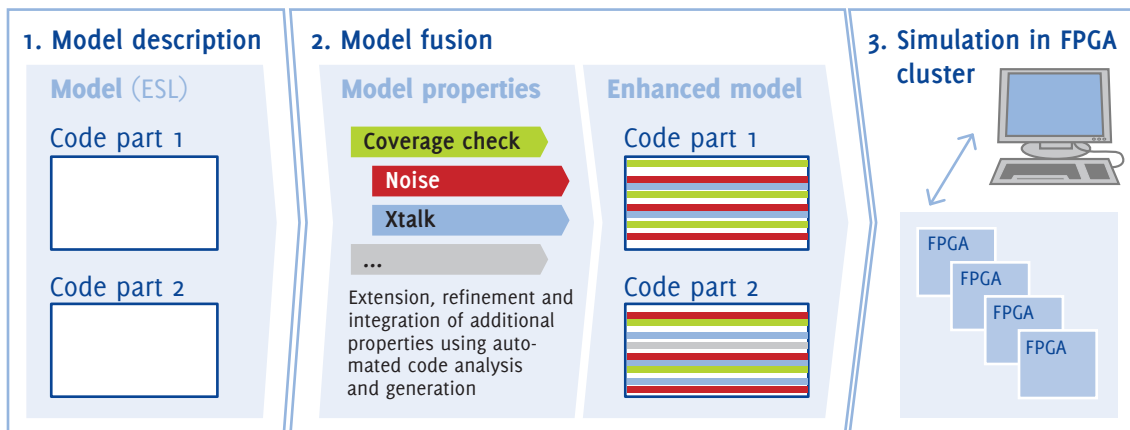


Fig. 1: The IMMS contributions to the ANCONA project in brief: a system model extended automatically by further properties, and simulated with the aid of FPGA-based hardware accelerators. Diagram: IMMS.

However, there is a dearth of such methods for the design of systems which use analogue or mixed signals. Such systems may combine purely digital functions with analogue sensors and actuators. For these, it has not been possible so far to create test cases automatically or to evaluate the quality of the verification objectively. In consequence, it has always been necessary to take the design of newly developed mixed analogue and digital components (intended for highly complex systems) to the prototyping stage and then to test the component interactions in the experimental prototype. In this method an additional challenge is the resource-consuming nature of the simulation runs. In digital systems, hundreds of test cases are not expensive in run time, but that is well-nigh impossible in the analogue context. The computing time needed for simulating an individual test case could range from a few minutes to many hours.

The conventional work-around for these huge simulation times is to take an idealised model which will give a "good enough" representation of the circuit behaviour. This method does at least enable the functions of a chip to be verified at the system level. On the other hand, there is no representation of complex interactions which are quite capable of disrupting or even destroying a system. Total chip breakdown can

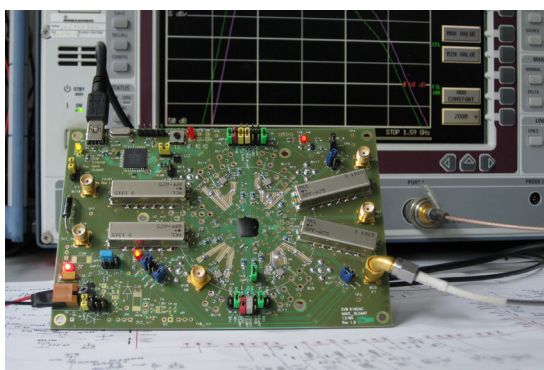


Fig. 2: Evaluation board normally used as a finished prototype to characterise a system. Photograph: IMMS.

result from temperature changes or certain effects of noise or parasitic coupling due to power supplies.

### IMMS approaches to computer-aided verification

For the necessary new procedures, IMMS is mainly focusing its efforts on the approaches illustrated in Figure 1. Firstly, the Institute employs the models which have been generated during the design process in parallel to the actual circuit so that they can be extended automatically by any additional effects. The influence of the additions can be evaluated in this way and any critical scenarios identified. Secondly, IMMS is working on the development of hardware accelerators using FPGAs<sup>1</sup> so that the system performance can be more efficiently evaluated and simulation time brought within reasonable bounds.<sup>2</sup>

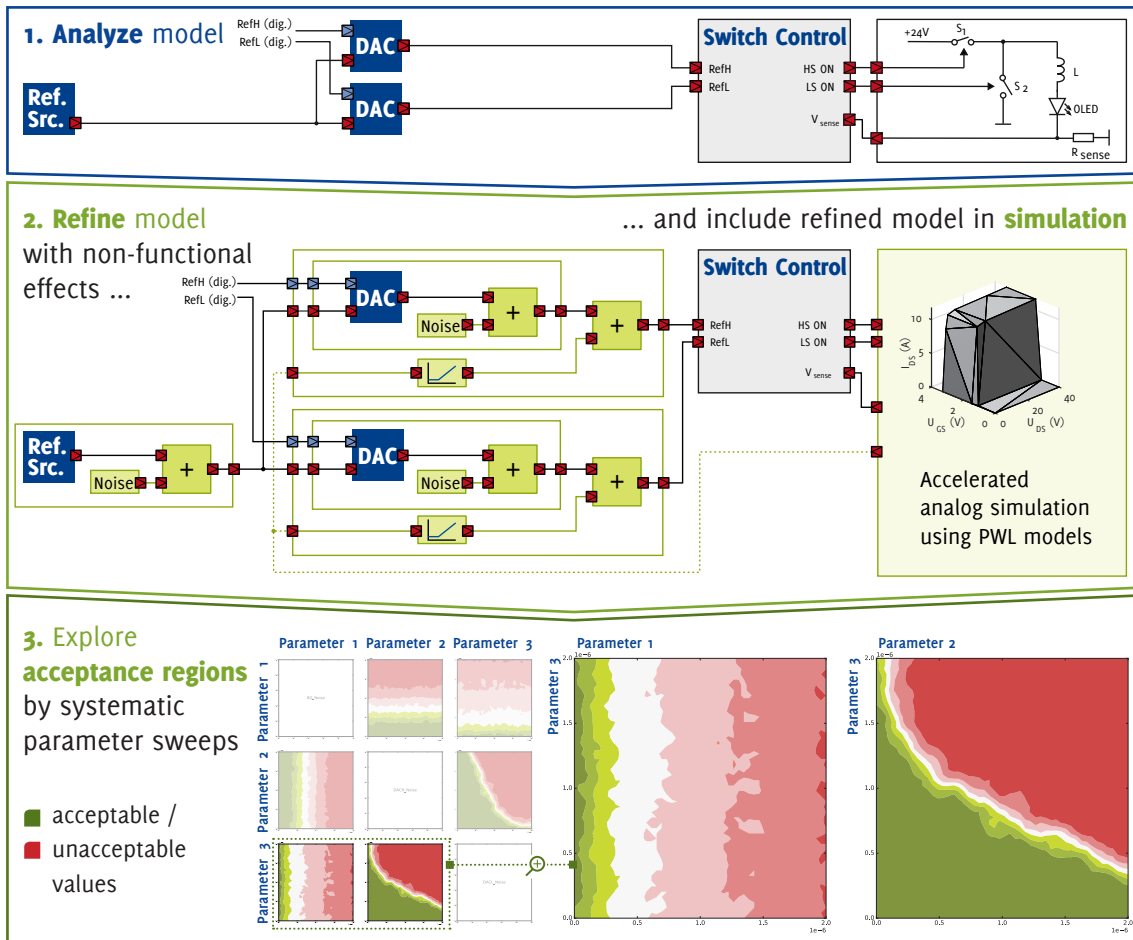
#### Automatic extension of models at system level for identification of critical scenarios

When analogue and mixed-signal systems are being designed, it is conventional to design virtual prototypes, i.e. models for simulation of the SoC, to check and guarantee the system functionality.

Figure 2 shows an evaluation board commonly used to characterise a system when it has already been manufactured as a prototype. It is usually only at this stage that the system comes under the influence not only of its own specified functional properties but also of other factors which are extrinsic to the functions. The quantities describing these factors may be the system's own power take-up and/or interruptions of power supply and/or the analogue behaviour of signals conceived as purely digital. Such factors may lead to disturbance of the system's behaviour or even

<sup>1</sup> FPGA Field Programmable Logic Array – a component capable of using logic to carry out any number of freely selected digital functions.

<sup>2</sup> Cf. "Automatic Annotation of Properties to ESL SystemC Models and Accelerated Simulation", Georg Gläser, Eckhard Hennig, Forum on Specification and Design Languages (FDL), 2015, 14 – 16 Sept., Barcelona/Spain.



to a complete crash even though verification has taken place using virtual prototypes.

Though it is actually possible to integrate the quantities for these external influences into the verification, the process is extremely unwieldy and time-consuming: given five factors and their possible combinations in one small component, there will be 31 combinations to take into account and to implement in the code of the model of the virtual prototype. For the verification, it would also be necessary to create a model of the whole system in every case for each relevant combination. As this shows, immense resources are needed for implementation and maintenance, increasing intensely with the number of factors. As it is rarely possible to assess in advance which quantities will disrupt the behaviour, the initial phase will be burdened with the need for investigating even more of the possible quantities.

It is to meet this challenge that IMMS is making its first contribution for the ANCONA project (see Figure 3). Any existing model-code is refined automatically using automated code analysis and code generation, then the system is analysed for critical configurations. This method protects the system against the disrupt-

Fig. 3: Process by which regions of acceptability are determined for the system: the parameters added by annotation are investigated to permit discovery of critical scenarios. Diagram: IMMS/University of Hannover.

tive influence of parasitic couplings even in the earliest design phases. Such situations cannot at present be observed before the design is complete and/or the chip manufactured.

Evaluations of the new procedure have already taken place, for instance in respect of a design made in the EROLEDT research project. Here the need was for the stability and operational reliability of a specialised driving circuit for organic light emitting diodes (OLEDs) to be investigated. The idealised system model already existing was taken as the starting point (see Figure 3 (1)). An analysis of the influence of interference on reference voltages was required, i.e. it was necessary to extend the DAC models which might be affected by such interference.

The process of refinement is shown for demonstration purposes in Figures 3 and 4: first the code for the model of the DAC is analysed using a program developed at IMMS on the basis of libClang. The details of structure and function of the model thus obtained

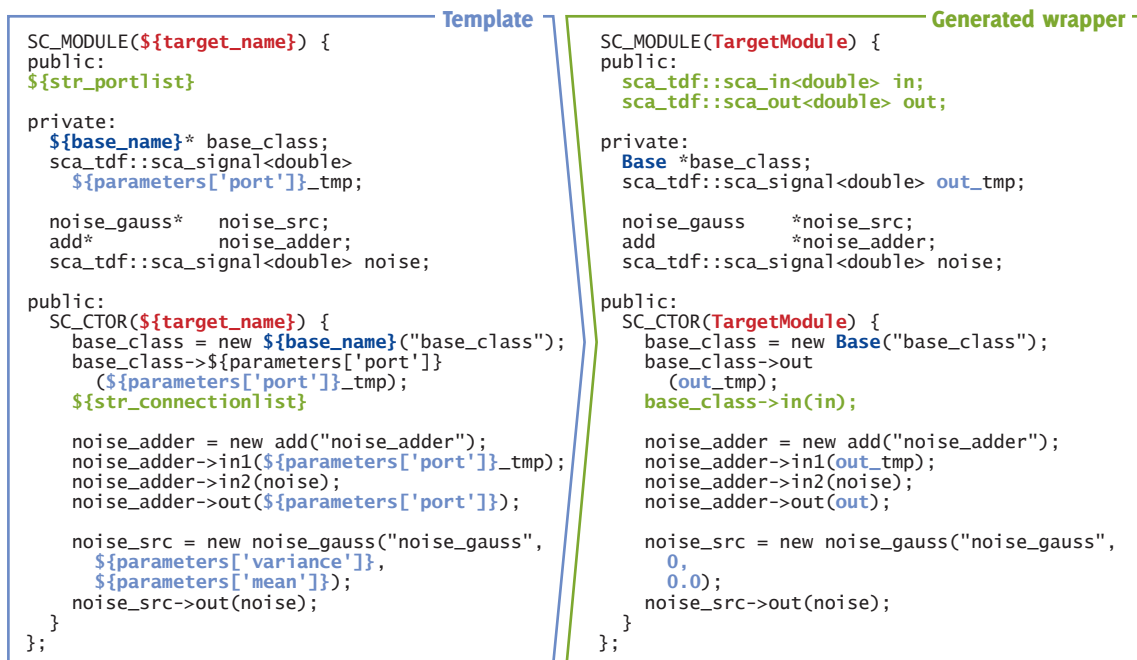


Fig. 4: Model extension using a template engine: additional data added into a pre-existing template. Diagram: IMMS.

enable a wrapper which represents the original property (in this case, added noise) to be provided. This wrap is generated for the model by filling gaps with text, as is shown in Figure 4. A pre-defined code is adapted to take account of the analysis data and added on to the existing model.

The implementation of this step uses text templating, a procedure in web design. In this procedure, a given template is automatically extended by additional elements and data. In the present case, the template is model code representing additional model properties. A library of various templates has been created at IMMS and is being constantly added to. The process of annotation can be repeated for various property templates kept in the library, to enable the model to be extended by yet more factors (see Figures 3 (2) and (3)).

The next step is to integrate the automatically extended model into the simulation of the system as a whole (Figure 3 (2)), so that the parameters of the effects of the additional factors are also considered. Various simulations are run in which the fuller set of parameters is varied and in each case the resulting system behaviour observed. In this way it is possible to establish ranges for parameter values associated with satisfactory outcomes. From the size and nature of these acceptance regions, illustrated in Figure 3 (3), the system architect can establish new parameter specifications and test-cases for the verification. The method enables the design risk (and danger of chip malfunction) to be minimised.

### Hardware-accelerated simulation of mixed analogue-and-digital systems

It is typical of system verification to carry out many long cycles of simulation. To enable more efficient parameter studies to take place so that regions of acceptability can be identified, there is a need for more rapid simulation runs. FPGA-based hardware accelerators are now established in many fields of application. In that of digital design such FPGA prototypes are often used for the development of software before the actual chip is present.

To date, there are no analogue FPGAs available in useful dimensions. Admittedly, tiny structures such as individual amplification blocks can be included in certain special chips on the basis of FPGAs. However, this is not a feasible approach for the prototyping of large systems which combine many different elements. As every chip contains many hundreds of different blocks there would be a need for at least a similar number of prototyping platforms, which could not be justified commercially. Not only this, but the parasitic effects of the platforms would greatly disrupt the observations.

Therefore, within the ANCONA project, IMMS is taking a new path and using standard industrial tools for high level synthesis<sup>3</sup> (the Cadence C-To-Silicon Compiler, for instance) to represent models of mixed analogue-and-digital systems on conventional FPGAs – i.e. on purely digital hardware.

<sup>3</sup> High-Level Synthesis Process for representing software code on logical functions to enable its implementation in hardware, for instance in FPGAs.

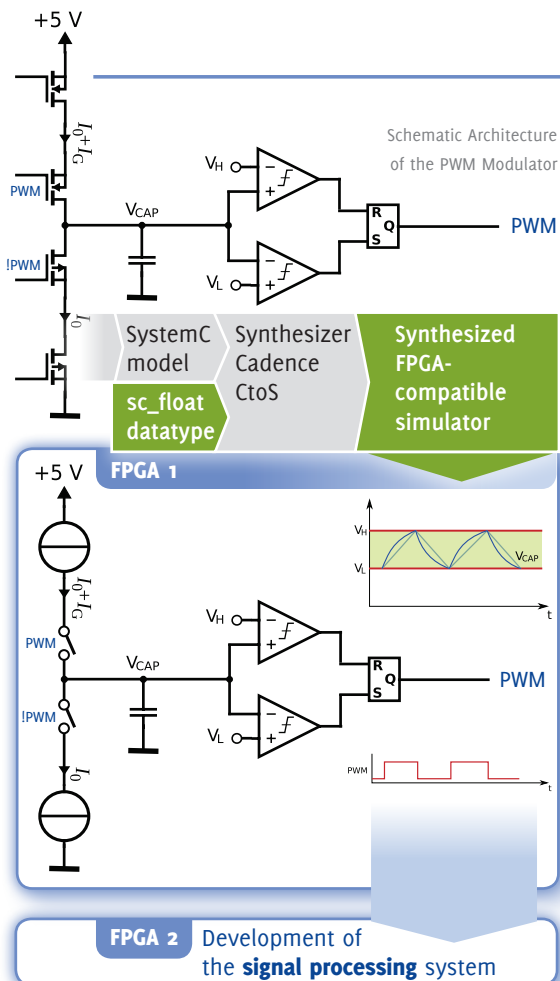


Fig. 5: Simulation of a mixed-signal system using the FPGA method. Diagram: IMMS.

This mapping method has already been employed at IMMS in the development of a high-temperature sensor. The sensor interface with a PWM<sup>1</sup> modulator shown in Figure 5 was investigated for its response to current leakage due to heating effects. For the purpose, the linearity of the conversion characteristic was established as would be the case with an ADC. The simulations necessary take an extremely long time. One attempt led to the estimate of several days at normal computational speeds.

An FPGA prototype (Figure 5) is now being employed to assist in such cases: A model of the circuit in SystemC is transferred with the help of special floating-decimal-point data types into a hardware accelerator which has been specially adapted in terms of resource consumption, speed and accuracy. In contrast to standard C++ data types, these data types, which have been developed at IMMS as part of the project, offer the option of arbitrarily adapting the values in the internal register so that the performance of FPGA-based simulation attempts is considerably enhanced. By this means, the model has been synthesised into an FPGA prototype, simply through

<sup>1</sup> PWM: Pulse Width Modulation – the data for the value constituting the message is coded in the duty cycle of a digital signal.

slight modification of the model code and implementation of a differential equation solver.

A schematic diagram of the prototype is given in Figure 5. The model of the high-temperature sensor interface has been created on a Virtex-5 demo board with the algorithm for calibration and evaluation of the measured values present on a second FPGA, which had already been designed at an earlier stage of the development. The feasibility study here shown became the foundation of more rapid simulation episodes.

## Conclusions and Outlook

For the project, which aims to ensure the reliability of the design of today's microelectronic systems, IMMS is contributing crucial building blocks. The Institute received in conjunction with its research partners the Best Paper Award at the Forum on Specification & Design Languages (FDL 2015) in Barcelona, Spain for its presentation of Temporal Decoupling with Error-Bounded Predictive Quantum Control.

The second half of the project period, which runs until 2017, will be devoted to further development and integration of these contributions. There will be extension of the annotation of properties and extension of the methods successfully developed in SystemC to other modelling languages, such as VerilogAMS. More work is also to be done on synthesising these models into an FPGA for accelerated simulation purposes. Work will continue on optimising the estimation of acceptance regions for the design, where necessary with adapted algorithms to cut computation time even further and speed up the design and verification process.

IMMS will be incorporating the new-style verification method into all its research projects as an enhancement of the quality of designs made in those projects. Knowledge gained from this will be fed back into optimisation of the new method.

### Contact person:

Georg Gläser, M.Sc., georg.glaeser@imms.de

#### SPONSORED BY THE



**Federal Ministry  
of Education  
and Research**

This work is funded by the BMBF (Federal German Ministry of Education and Research) in the IKT 2020 programme as part of the ANCONA project (funding reference 16ES021) and is also supported by industrial partners, Infineon Technologies AG, Robert Bosch GmbH, Intel AG and Mentor Graphics GmbH.



**IMMS**

WE CONNECT IT TO THE REAL WORLD.



**ANCONA**

## Rechnergestützte Verifikationsmethoden – mehr Schubkraft für Industrie-4.0-Entwicklungen

### Motivation

Für intelligente, im „Internet der Dinge“ agierende Systeme und hochleistungsfähige Industrie-4.0-Anwendungen sind komplexe, hochintegrierte Mikroelektronik-Chips die technologische Basis. Solche SoCs (System-on-Chip) vereinen auf engstem Raum zahlreiche analoge und digitale Elemente und Funktionen wie Sensorik, Signalverarbeitung und Aktorik. Designfehler in integrierten Schaltungen können Umsatzeinbußen von mehreren hundert Mio. Dollar durch Produktionsausfälle verursachen und darüber hinaus weitaus höhere Kosten für Rückrufe, Reparaturen und Ersatzleistungen nach sich ziehen. Daher ist man bestrebt, Designfehler möglichst früh im Entwurfsprozess festzustellen und derartige Risiken zu minimieren.

Darüber hinaus sollen für die neuen Anforderungen im Industrie-4.0-Kontext intelligentere und damit komplexere Systeme entstehen. Für diese werden künftig zahlreiche neue Systemkomponenten erforscht und entwickelt, deren Zusammenspiel mit den gängigen Methoden meist erst im Versuchsaufbau getestet werden kann. Daher erarbeiten die Projektpartner in ANCONA rechnergestützte Verfahren, um die korrekte Funktion dieser Systeme schon während des Entwurfs zuverlässig nachzuweisen. Das soll künftig

Das IMMS erarbeitet Lösungen, mit denen Modelle für gemischt analog-digitale Schaltungen auf Systemebene automatisch erweitert werden, um kritische Szenarien zu identifizieren. Für die Systemsimulationen werden FPGAs eingesetzt, wie das hier abgebildete Virtex7-Demoboard. Foto: IMMS.

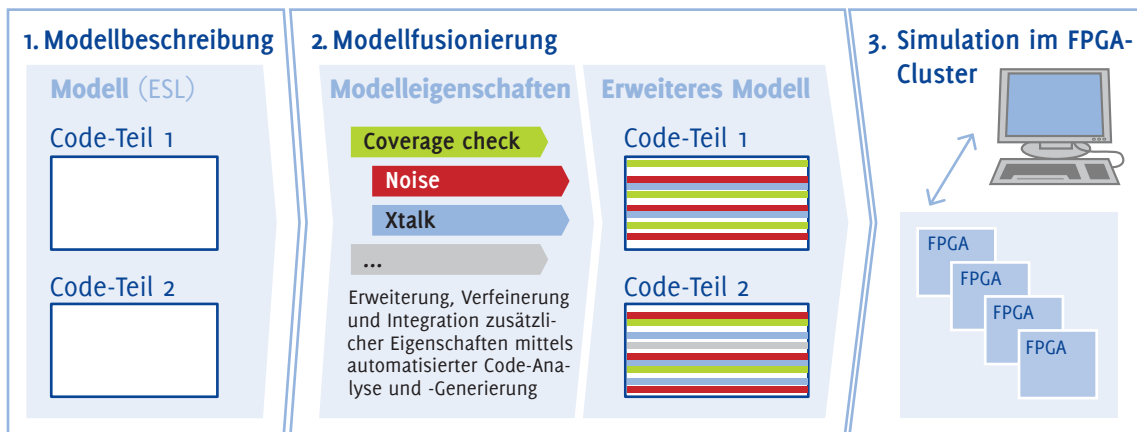
das Design gemischt analog/digitaler Schaltungen erleichtern und deutlich beschleunigen, somit Innovationspotentiale heben und zu Wettbewerbsvorteilen verhelfen. Das IMMS entwickelt hierfür spezialisierte Methoden, mit denen unter anderem Verkopplungen in Systemmodelle integriert und diese effizient simuliert werden.

### Stand der Technik

Für digitale Systemkomponenten sind viele Methoden etabliert, mit denen ein Entwurf bewertet werden kann: Automatisch erzeugte randomisierte Testsignale, wie z.B. in der Universal Verification Methodology gehören zum Stand der Technik. Zudem kann berechnet werden, wie gut die durchgeführten Tests das Systemverhalten überprüfen, indem z.B. die Anzahl der getesteten Systemzustände zur Anzahl der möglichen Zustände ins Verhältnis gesetzt werden.

Im Design von Analog/Mixed-Signal-Systemen, die neben rein digitalen Funktionen analoge Sensorik und Aktorik beinhalten können, fehlen solche Metho-





den: Es ist bisher nicht möglich, automatisch Testfälle zu erzeugen oder die Verifikationsgüte objektiv zu bewerten. Daher müssen neuentwickelte gemischt analog/digitale Komponenten für sehr komplexe Systeme bislang meist als Prototypen gefertigt und dann deren Interaktionen im Versuchsaufbau getestet werden. Eine weitere Herausforderung stellen hier die aufwendigen Simulationen dar: Während in digitalen Systemen hunderte Testfälle durchgeführt werden können, ist das im analogen Kontext nur schwer möglich. Die Simulationszeiten für einzelne Testfälle bewegen sich hier im Bereich von Minuten bis Stunden.

Üblicherweise begegnet man dieser Explosion der Simulationszeit mit idealisierten Modellen, die das Schaltungsverhalten möglichst gut abbilden. So ist es möglich, die Funktionen eines Chips auf Systemebene zu verifizieren. Allerdings werden hier komplexe Interaktionen nicht abgebildet. Diese können jedoch ein System erheblich stören oder sogar zerstören: Parasitäre Kopplungen über Versorgungsleitungen oder Temperaturabhängigkeiten oder bestimmte Rauscheinflüsse können zum Totalausfall des Chips führen.

### Lösungen des IMMS für die rechnergestützten Verifikationsmethoden

Das IMMS steuert die in Abbildung 1 dargestellten und für das neue Vorgehen wesentlichen Lösungsansätze bei. Zum einen nutzt das Institut die im

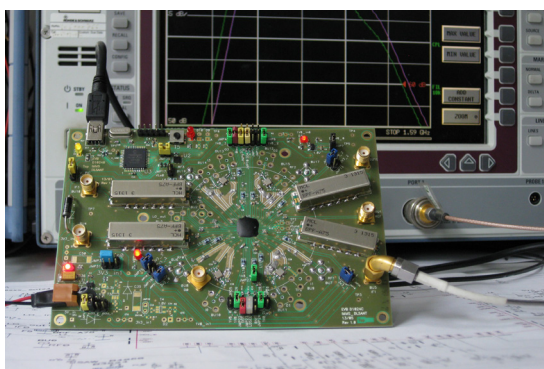


Abbildung 2: Evaluierungsboard, mit dem ein System üblicherweise als fertiger Prototyp charakterisiert wird. Foto: IMMS.

Abbildung 1: Übersicht über die Beiträge des IMMS zum Projekt: Ein System-Modell wird automatisch durch zusätzliche Eigenschaften erweitert und mit FPGA-basiertem Hardwarebeschleuniger simuliert. Grafik: IMMS.

Designprozess neben der eigentlichen Schaltung generierten Modelle, um diese automatisch durch zusätzliche Effekte zu erweitern, die Einflüsse auf das Systemverhalten zu bewerten und kritische Szenarien zu identifizieren. Zum anderen entwickelt das IMMS Hardwarebeschleuniger auf FPGA<sup>1</sup>-Basis, um die Systemperformance effizient bewerten zu können und die Simulationszeiten beherrschbar zu machen.<sup>2</sup>

### Automatische Erweiterung von Modellen auf Systemebene zur Identifikation kritischer Szenarien

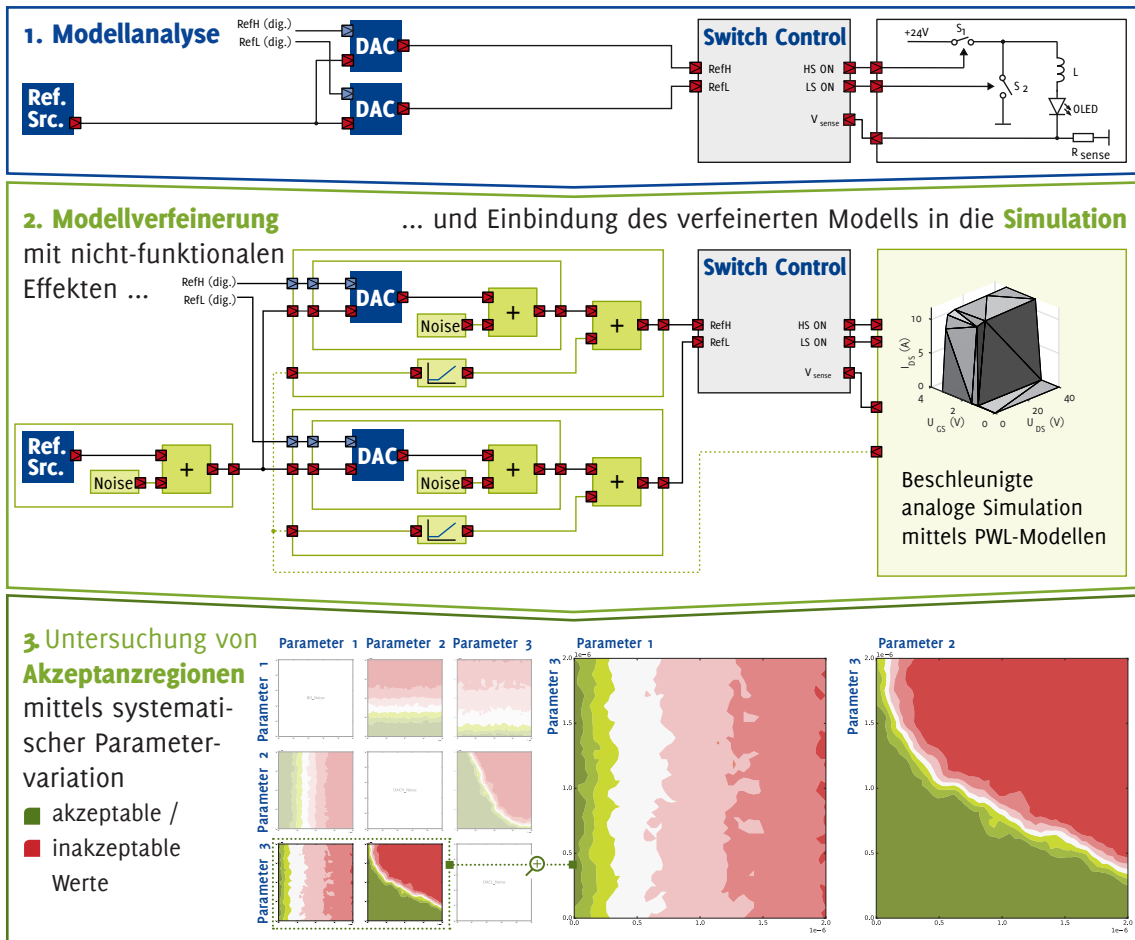
Virtuelle Prototypen, d.h. Simulationsmodelle des SoCs, sind im Design von Analog/Mixed-Signal-Systemen üblich, um deren Funktion abzusichern.

In Abbildung 2 ist ein Evaluierungsboard dargestellt, mit dem ein System üblicherweise als fertiger Prototyp charakterisiert wird. Meist kann dann erst festgestellt werden, dass das System neben den spezifizierten, funktionalen Eigenschaften durch weitere, nicht zur Funktion gehörende Faktoren beeinflusst wird. Zu diesen extrafunktionalen Größen gehören z.B. die eigene Stromaufnahme, Störungen auf der Versorgung und analoges Verhalten vermeintlich rein digitaler Signale. Sie können das Systemverhalten stören oder gar zum Totalausfall führen – trotz der Verifikation mit Hilfe von virtuellen Prototypen.

Die Integration dieser Einflussgrößen ist zwar möglich, aber sehr aufwendig: Angenommen, es sollen fünf Faktoren und ihre Kombinationen in einer Teilkomponente berücksichtigt werden, so müssten 31 Kombinationen betrachtet und im Modellcode des virtuellen Prototypen implementiert werden. Weiterhin müssten daraus jeweils Gesamtsystemmodelle

<sup>1</sup> FPGA: Field Programmable Logic Array – frei programmierbarer Logikbaustein, der beliebige digitale Funktionen umsetzen kann.

<sup>2</sup> Vgl. "Automatic Annotation of Properties to ESL SystemC Models and Accelerated Simulation", Georg Gläser, Eckhard Hennig, Forum on Specification and Design Languages (FDL), 2015, 14 – 16 Sept., Barcelona/Spain.



mit jeder relevanten Kombination für die Verifikation erzeugt werden. Der Implementations- und Wartungsaufwand ist also beträchtlich und steigt mit der Anzahl der Faktoren stark an. Da es selten möglich ist, im Vorfeld zu evaluieren, welche Größen das Verhalten stören, müssten zudem in der Anfangsphase noch größere Untersuchungen durchgeführt werden.

Abbildung 3: Prozess zum Evaluieren der Akzeptanzregionen des Systems: Die durch Annotation hinzugekommenen Parameter werden untersucht, um kritische Szenarien zu identifizieren. Grafik: IMMS / Universität Hannover.

diesem sollte der Einfluss von Störungen auf Referenzspannungen untersucht werden, d.h. die Modelle der Digital/Analog-Wandler, die von diesen Störungen betroffen sein können, mussten erweitert werden.

Hier setzt der erste Beitrag des IMMS im Projekt ANCONA an (siehe Abbildung 3): Vorhandene Modelle werden mit Hilfe automatisierter Code-Analyse und Code-Erzeugung automatisch erweitert und das System auf kritische Konfigurationen untersucht. Diese Methode sichert das System schon in den ersten Entwurfsphasen gegenüber störenden Einflüssen durch Kopplungen ab, die gegenwärtig erst am vollständigen Design bzw. im fertigen Chip beobachtet werden können.

Dieser Verfeinerungsprozess ist exemplarisch in den Abbildungen 3 und 4 dargestellt: Zunächst wird der Modellcode des Digital/Analog-Wandlers (DAC) durch ein am IMMS entwickeltes Programm auf der Basis von libClang analysiert. Mit den gewonnenen Informationen über die Struktur und Funktion des Modells kann eine Hülle erzeugt werden, die die zusätzliche Eigenschaft (hier: additives Rauschen) abbildet. Diese Hülle wird mit Hilfe eines Lückentextes generiert, was in Abbildung 4 verdeutlicht wird: Mit den Informationen aus der Analyse wird ein vordefinierter Code angepasst und zum bestehenden Modell hinzugefügt.

Das neue Vorgehen wurde u.a. an einem Design aus dem Forschungsprojekt EROLEDT evaluiert: Eine Leistungstreiberschaltung für organische Leuchtdioden (OLEDs) sollte auf Stabilität und Betriebssicherheit untersucht werden. Ausgangspunkt war das vorliegende idealisierte Systemmodell (siehe Abbildung 3 (1)). In

Dieser Schritt wird durch ein Verfahren aus dem Web-Design, dem Text-Templating umgesetzt: Eine gegebene Vorlage wird automatisiert durch zusätzliche Bestandteile und Informationen ergänzt. Die Vorlage besteht in diesem Fall aus Modellcode und bildet



Vorlage	Generierte Modellerweiterung
<pre> SC_MODULE(\${target_name}) { public: \${str_portlist}  private: \${base_name}* base_class; sca_tdf::sca_signal&lt;double&gt;   \${parameters['port']}_tmp;  noise_gauss* noise_src; add* noise_adder; sca_tdf::sca_signal&lt;double&gt; noise;  public: SC_CTOR(\${target_name}) {   base_class = new \${base_name}("base_class");   base_class-&gt;\${parameters['port']}     (\${parameters['port']}_tmp);   \${str_connectionlist}    noise_adder = new add("noise_adder");   noise_adder-&gt;in1(\${parameters['port']}_tmp);   noise_adder-&gt;in2(noise);   noise_adder-&gt;out(\${parameters['port']});    noise_src = new noise_gauss("noise_gauss",     \${parameters['variance']},     \${parameters['mean']});   noise_src-&gt;out(noise); } }; </pre>	<pre> SC_MODULE(TargetModule) { public: sca_tdf::sca_in&lt;double&gt; in; sca_tdf::sca_out&lt;double&gt; out;  private: Base *base_class; sca_tdf::sca_signal&lt;double&gt; out_tmp;  noise_gauss *noise_src; add *noise_adder; sca_tdf::sca_signal&lt;double&gt; noise;  public: SC_CTOR(TargetModule) {   base_class = new Base("base_class");   base_class-&gt;out     (out_tmp);   base_class-&gt;in(in);    noise_adder = new add("noise_adder");   noise_adder-&gt;in1(out_tmp);   noise_adder-&gt;in2(noise);   noise_adder-&gt;out(out);    noise_src = new noise_gauss("noise_gauss",     0,     0.0);   noise_src-&gt;out(noise); } }; </pre>

Abbildung 4: Modellerweiterung durch Verwendung einer Template-Engine: Eine Vorlage wird durch zusätzliche Informationen ergänzt. Grafik: IMMS.

zusätzliche Modelleigenschaften ab. Am IMMS wird dazu eine Bibliothek verschiedener Vorlagen erstellt und laufend erweitert. Dieser Annotationsprozess kann mit verschiedenen „Eigenschaftsvorlagen“ aus der Bibliothek wiederholt werden, um das Modell um zusätzliche Faktoren zu erweitern (siehe Abbildung 3 (2) und (3)).

Im nächsten Schritt wird das automatisch erweiterte Modell in die Gesamtsystemsimulation integriert (Abbildung 3 (2)). In dieser Simulation werden demnach die Parameter der eingefügten Faktoren berücksichtigt, deren Einfluss evaluiert werden soll. Diese ergänzten Parameter werden in verschiedenen Simulationen variiert und das jeweils hervorgerufene Systemverhalten bewertet. So können Bereiche für zufriedenstellende Parameterwerte bestimmt werden. Aus der Größe und Gestalt dieser in Abbildung 3(3) gezeigten Akzeptanzregionen kann der Systemarchitekt neue Spezifikationsparameter und Testfälle für die Verifikation ermitteln. Die Designsicherheit kann somit gesteigert bzw. das Ausfallrisiko von Chips verkleinert werden.

#### Hardware-unterstützte Simulation von gemischt analog-digitalen Systemen

In der Systemverifikation werden typischerweise viele und lange Simulationszyklen durchgeführt. Um auf Systemebene effizientere Parameterstudien für die Identifikation von Akzeptanzregionen durchführen zu können, sind schnellere Simulationen notwendig. In vielen Anwendungsbereichen haben sich FPGA-

basierte Hardwarebeschleuniger etabliert. Im Digitalentwurf werden oft FPGA-Prototypen zur Entwicklung von Software eingesetzt, bevor der eigentliche Chip vorliegt.

Analoge FPGAs gibt es bisher nicht in anwendbaren Größenordnungen. Zwar können in speziellen Chips kleine Strukturen, wie z.B. einzelne Verstärkerblöcke, auf FPGA-Basis realisiert werden. Dieser Ansatz ist aber für das Prototyping großer Systeme mit vielen verschiedenen Elementen nicht machbar. Da jeder Chip viele hundert verschiedene Blöcke enthält, wären nicht nur entsprechend viele Prototyping-Plattformen notwendig und wirtschaftlich kaum zu vertreten. Darüber hinaus stören deren parasitäre Effekte die Betrachtungen immens.

Im Projekt ANCONA beschreitet das IMMS daher einen neuen Weg: Mit Hilfe von Industrie-Standard-Programmen zur High-Level-Synthese<sup>3</sup> (z.B. Cadence C-To-Silicon Compiler) sollen gemischt analog/digitale Systemmodelle auf herkömmlichen FPGAs – also rein digitaler Hardware – abgebildet werden.

Diese Methode wurde bereits für die Entwicklung eines Hochtemperatursensors am IMMS verwendet. Das in Abbildung 5 dargestellte Sensorinterface mit PWM-Modulator<sup>4</sup> wurde auf seine Empfindlichkeit gegenüber thermisch bedingten Leckströmen untersucht. Dazu wurde die Linearität wie bei einem

<sup>3</sup> High-Level Synthese Prozess zum Abbilden von Software-Code auf logische Funktionen zur Implementierung in Hardware – z.B. im FPGA

<sup>4</sup> PWM: Puls-Weiten-Modulation – die Information über den übertragenen Wert wird im Tastverhältnis eines digitalen Signals kodiert.

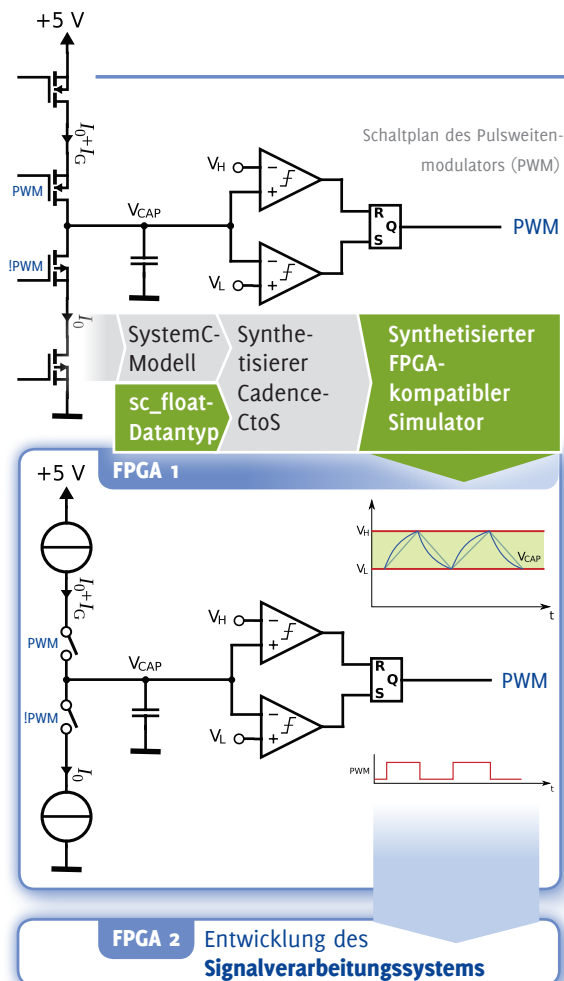


Abbildung 5: Simulation eines Mixed-Signal-Systems im FPGA. Grafik: IMMS.

Analog/Digital-Wandler durch Auswertung der Wandlungskurve ermittelt. Die notwendigen Simulationen brauchen extrem viel Zeit. In einem Versuch wurde abgeschätzt, dass hierfür bei normaler Geschwindigkeit mehrere Tage benötigt werden.

Für solche Fälle soll ein FPGA-Prototyp Abhilfe schaffen (Abbildung 5): Ein SystemC-Modell der Schaltung soll dank spezieller Fließkomma-Datentypen in einen hinsichtlich Ressourcenbedarf, Geschwindigkeit und Genauigkeit angepassten Hardwarebeschleuniger überführt werden. Diese Datentypen wurden im Projekt am IMMS entwickelt und bieten, anders als C++-Datentypen, die Option, die Größen der internen Register beliebig anzupassen und damit die Performance FPGA-basierter Simulationen deutlich steigern zu können. Durch geringe Modifikation des Modellcodes und Implementierung eines Differentialgleichungs-Lösers wurde das Modell so durch High-Level-Synthese in einem FPGA-Prototypen umgesetzt.

Der Aufbau ist in Abbildung 5 schematisch dargestellt: Auf einem Virtex5-Demoboard ist das Modell des Hochtemperatur-Sensorinterfaces realisiert, auf einem zweiten FPGA der Algorithmus zur Kalibrierung und Auswertung der gewonnenen Messdaten. Dieser

konnte so schon in einem frühen Design-Stadium konzipiert werden. Mit dieser Machbarkeitsstudie wurde die Basis für schnellere Simulationen gelegt.

## Zusammenfassung und Ausblick

Das IMMS liefert mit seinen Beiträgen entscheidende Bausteine für die im Projekt angestrebte Absicherung des Mikroelektronikentwurfs. Gemeinsam mit Forschungspartnern wurde das Institut auf der Konferenz "Forum on Specification & Design Languages" (FDL 2015) in Barcelona, Spanien, für den Beitrag „Temporal Decoupling with Error-Bounded Predictive Quantum Control“ mit dem Best-Paper-Award ausgezeichnet.

In der zweiten Hälfte der Projektlaufzeit bis Mitte 2017 werden die Beiträge weiterentwickelt und integriert. Die Annotation von Eigenschaften wird weiter ausgebaut. Zudem wird die erfolgreich für SystemC-Modelle entwickelte Methodik auf andere Modellierungssprachen, wie z.B. VerilogAMS, angepasst. Die Synthese dieser Modelle in einen FPGA zur beschleunigten Simulation wird ebenfalls weiter verfolgt. Zudem wird daran gearbeitet, die Abschätzung von Akzeptanzregionen für den Entwurf ggf. mit angepassten Algorithmen weiter zu optimieren, um nochmals Rechenzeit einzusparen und damit den Design- und Verifikationsprozess zu beschleunigen.

Das IMMS wird die neuartige Verifikationsmethode in seine Forschungsprojekte einbinden, damit die Qualität der dort realisierten Entwürfe weiter steigern und die Erkenntnisse in die Optimierung der neuen Methode einfließen lassen.

### Kontakt:

Georg Gläser, M.Sc., [georg.glaeser@imms.de](mailto:georg.glaeser@imms.de)

GEFÖRDERT VOM



Bundesministerium  
für Bildung  
und Forschung

Diese Arbeit wird als Teil des ANCONA-Projektes (Förderkennzeichen 16ES021) im Förderprogramm IKT 2020 durch das Bundesministerium für

Bildung und Forschung (BMBF) gefördert sowie durch die Industriepartner Infineon Technologies AG, Robert Bosch GmbH, Intel AG sowie Mentor Graphics GmbH unterstützt.