

Jahresbericht

2 0 0 2

**Institut für Mikroelektronik- und
Mechatronik - Systeme gGmbH**

AN - Institut der Technischen Universität Ilmenau



INNOVATION

KREATION

VISION

Inhaltsverzeichnis

| | |
|------------------------------------------------------------------------------------------------|----|
| Das IMMS – Innovative Plattform für Industrie und Wissenschaft | 4 |
| Themenbereich "Mechatronik" | 7 |
| Ausgewählte Fachberichte aus dem Themenbereich "Mechatronik" | 8 |
| Themenbereich "System Design" | 16 |
| Ausgewählte Fachberichte aus dem Themenbereich "System Design" | 17 |
| Themenbereich "Mikroelektronische Schaltungstechnik" | 23 |
| Ausgewählte Fachberichte aus dem Themenbereich "Mikroelektronische Schaltungstechnik" | 24 |
| Themenbereich "Analyse & Test" | 40 |
| Ausgewählte Fachberichte aus dem Themenbereich "Analyse & Test" | 41 |
| Mitgliedschaft in Verbänden, Fachgruppen etc. | 45 |
| Vorträge und Veröffentlichungen | 46 |
| Aufsichtsrat / Wissenschaftlicher Beirat | 49 |
| Kontakt / Adresse | 50 |

Das IMMS - Innovative Plattform für Industrie und Wissenschaft

Das Institut für Mikroelektronik- und Mechatronik-Systeme gGmbH hat auch im Jahr 2002 seine Position als Forschungs- und Entwicklungseinrichtung für kleine und mittlere Unternehmen sowohl im Freistaat Thüringen, aber auch deutschland- und europaweit, festigen und ausbauen können.

Sowohl öffentliche, aus dem Landeshaushalt, vom BMBF oder der EG geförderte Verbundprojekte als auch direkte bilaterale Kooperationen mit Industrieunternehmen werden mit Erfolg von unseren derzeit etwa 40 wissenschaftlichen Mitarbeitern im IMMS bearbeitet.

Es hat sich bewährt, die drei Themenbereiche System Design, Mikroelektronik und Mechatronik gemeinsam mit unserem Querschnittsgebiet Schaltungs- und Messtechnik in diesem Kontext weiter auszubauen und der Marktsituation angepasste Modifikationen in den einzelnen Themengebieten zielstrebig umzusetzen (s. Abb. 1).

Alle Bereiche sind eng miteinander verzahnt und auf die Entwicklung komplexer kundenspezifischer Serviceleistungen ausgerichtet. Mit diesem Leistungsspektrum bietet das Institut Innovationspotential für die unterschiedlichsten Branchen.

Unsere Kunden und Partner sind Unternehmen und Forschungseinrichtungen aus den Bereichen Medizintechnik, Automobilbau, Automation, Bauwesen, Feinwerktechnik, Biotechnologie sowie Energieerzeugung, Apparatebau und Kommunikationstechnik.

Interdisziplinär zusammengesetzte Expertenteams erarbeiten im engen Dialog mit unseren Kunden innovative Lösungen. Kompetenz und Gespür für neue Anwendungsfelder der Mikrotechnik ermöglichen es uns, technologische Meilensteine zu setzen, die unseren Kunden Marktchancen und neue Geschäftsfelder eröffnen.

Multiplikatoren für die wirtschaftliche Umsetzung unserer Entwicklungsergebnisse sind auch die Unternehmensgründungen durch ehemalige Mitarbeiter des IMMS. Sie schaffen weitere Arbeitsplätze in der Hochtechnologie Thüringens.

Gegenwärtig streben wir insbesondere längerfristige und vielfältige Kooperationsbeziehungen mit Partnern aus Forschung und Entwicklung sowie aus der Industrie im In- und Ausland an (s. Abb. 2). In diesem Zusammenhang ist es uns im Jahr 2002

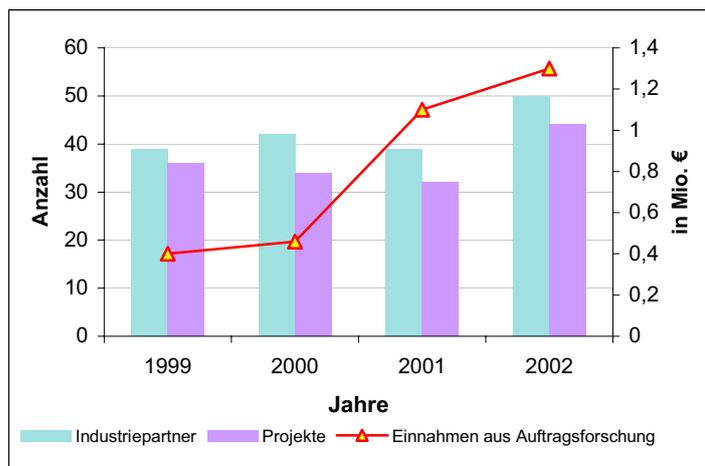


Abb. 1: Übersicht Einnahmen aus Auftragsforschung

gelingen, neue europäische Projekte in Angriff zu nehmen, die sowohl die industrielle Grundlagenforschung im Bereich von Präzisionsantriebssystemen inklusive der Untersuchung von relevanten Werkstoffen und ihren Paarungseigenschaften bei unterschiedlichen Einsatzbedingungen, z. B. im Ultrahochvakuum, als auch das innovative Gebiet der Erhöhung von Entwurfs-effizienz für mikroelektronische analoge und Mixed-Signal Schaltungen mit dem Ziel ihrer „System on Chip“-Realisierung betreffen.

Gemeinsam mit Instituten der Technischen Universität Ilmenau (TUI) wurden zahlreiche Verbundprojekte in Angriff genommen bzw. weitergeführt. Das betrifft sowohl von der DFG finanzierte Aufgaben im Bereich der Grundlagenforschung als auch die Beteiligung des IMMS am neu eingerichteten Sonderforschungsbereich SFB 622 „Nanopositionier- und Nanomessmaschinen“.

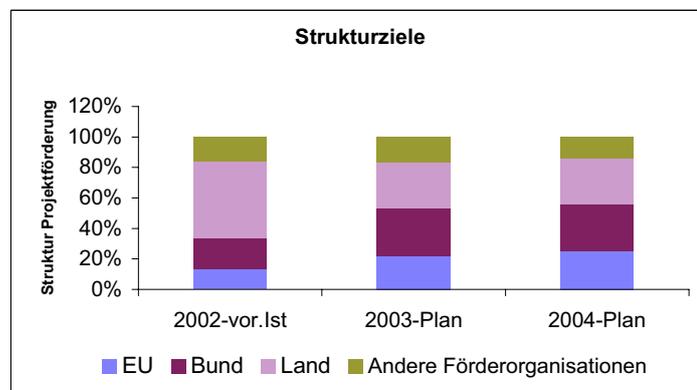


Abb. 2: Industriepartner in Bundesländer

Als AN-Institut der TU Ilmenau beschäftigt das IMMS jährlich zahlreiche studentische und wissenschaftliche Hilfskräfte, Praktikanten, Studenten, die ihre Studien- bzw. Di-

plomarbeiten ausführen, sowie Absolventen und Doktoranden.

Zunehmend etablieren sich Kooperationsbeziehungen auch zu den an der TUI neu entstandenen und entstehenden Institutionen, wie dem Applikationszentrum Ilmenau und dem Zentrum für Mikro- und Nanotechnologie.

Ein wesentlicher Meilenstein für unsere Entwicklung war 2002 der Einzug in neue Räumlichkeiten im Anwendungszentrum für Mikrosystemtechnik (AZM) am Standort Erfurt Südost. Auf einer Gesamtfläche von ca. 330 m² sind derzeit 15 Mitarbeiter des IMMS-Instituts-Erfurt mit seinem Themenbereich „Mikroelektronische Schaltungstechnik“ tätig. Perspektivisch soll diese Arbeitsgruppe auf 25 Mitarbeiter ausgebaut und mit einer besonderen Laborausstattung zur messtechnischen Unterstützung der Erforschung optoelektronischer und Hochtemperaturschaltungen sowie analoger integrierter Schaltungen für höchste Frequenzen und Präzision ausgestattet werden.

Ebenso konnte das IMMS für seinen Standort

Der hier vorliegende Bericht stellt die wesentlichen Kernkompetenzen und die in ihrem Rahmen erzielten Forschungs- und Entwicklungsergebnisse dar, verbunden mit einem Leistungsangebot für weitere zukünftige Industriepartner aus dem In- und Ausland.

Das fachliche Spektrum ist nach wie vor breit aufgestellt, um unserem Gründungsauftrag gerecht zu werden, den kleinen und mittleren Unternehmen insbesondere im Freistaat Thüringen ein leistungsfähiger Partner in Forschung und Entwicklung zu sein. Hierfür bietet das IMMS

- eine innovative Plattform für die Industrie zur gemeinsamen Entwicklung strategischer und marktorientierter Kompetenzfelder, basierend auf der Technologiekonzeption Thüringens, und
- erschließt seinen Kunden neue Marktpotentiale durch seine Entwicklungen und verschafft ihnen Marktvorteile. Es setzt technologische Meilensteine und ist Innovationsmotor für die Wirtschaft.
- Das IMMS fördert die Kompetenz und

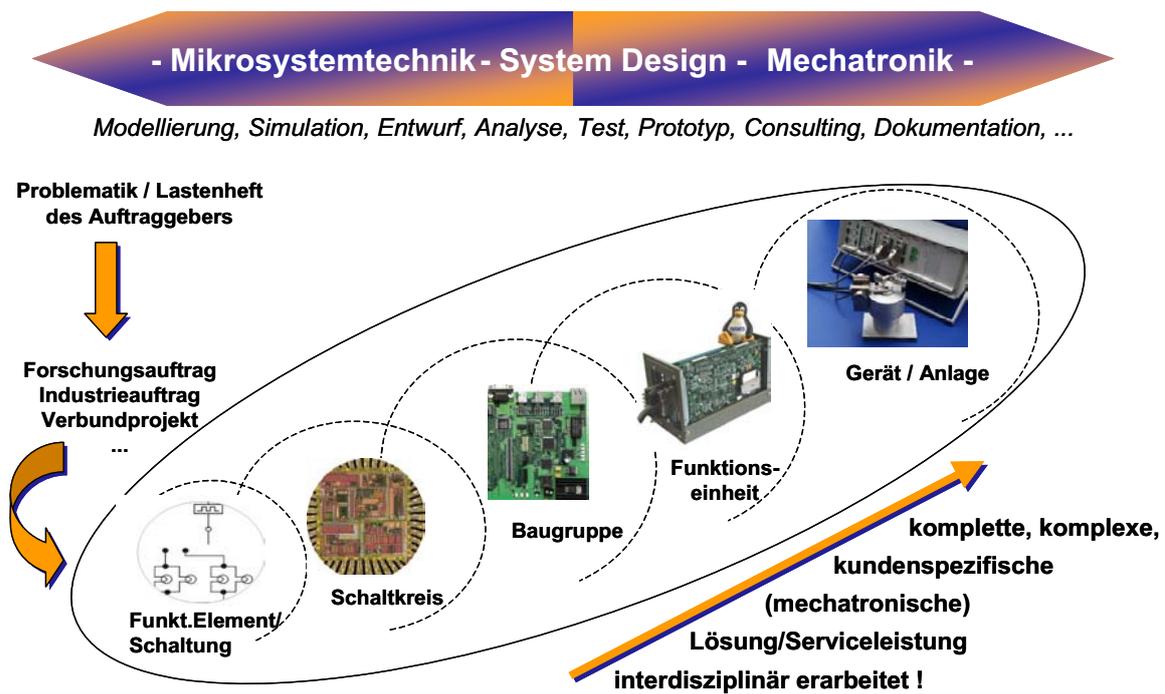


Abb. 3: Serviceleistung des IMMS

Ilmenau im November 2002 ein Miet- und Nutzungsvertrag mit der Ernst-Abbe-Stiftung Jena unterzeichnen, der den Einzug in das neu entstehende Ernst-Abbe-Zentrum für Forschung und Transfer auf dem Campus der TU Ilmenau für April 2004 vereinbart. Damit realisiert sich der vorgesehene Weg zum Endausbau des IMMS unter modernsten infrastrukturellen Gegebenheiten bis Ende des Jahres 2006.

Kreativität seiner Mitarbeiter, denn sie sind sein wertvollstes Gut und bestimmen maßgeblich den Erfolg des Instituts.

- Die Mitarbeiter erhalten die Chance, auf der Basis erfolgreicher Entwicklungen am IMMS eigene Unternehmen ins Leben zu rufen und Partner in industriellen Netzwerken zu werden.

Strategisch konzentriert sich das IMMS auf die

- Einbindung in Cluster und Netzwerke, um seine Kompetenzen marktgerecht am Bedarf der Thüringer Unternehmen auszurichten,
- Ausrichtung seiner Kompetenzen in den Fachdisziplinen System Design, Mikroelektronik, Mechatronik (s. Abb. 3),
- Teilnahme an nationalen und europäischen Kooperationen mit Förderung durch Bund und EU

Der Dank der Geschäftsleitung gilt all unseren Partnern in der Industrie, Wissenschaft und Politik, den Förderern unseres Instituts, den Mitgliedern unseres Aufsichtsrates sowie unseres Wissenschaftlichen Beirates für die vertrauensvolle Zusammenarbeit und vor allem unseren Mitarbeitern für Kreativität, Engagement und hohen Einsatz.

Ilmenau, im Januar 2003



Prof. Dr. Gerd Scarbata
wiss. Geschäftsführer



Hans-Joachim Kelm
kfm. Geschäftsführer

Mechatronik

Ziele

Im Themenbereich Mechatronik werden Präzisionsantriebssysteme für verschiedenste Applikationsfelder entworfen, analysiert und getestet. Neben dem konstruktiven Entwurf der zum Teil sehr komplexen und heterogenen Systeme erfolgt in der Regel eine Optimierung auf der Basis einer Modellbildung und Simulation. Diese gestattet eine gute und fundierte Vorhersage des Systemverhaltens, z.B. bezüglich der mechanischen Deformation, der Dynamik und des magnetischen oder thermischen Verhaltens, und reduziert die Anzahl der Designzyklen auf ein Minimum. Die verwendeten Werkzeuge hierfür sind u.a. Ansys, Maxwell und Matlab/Simulink. Der konstruktive Entwurf erfolgt mit Hilfe von Mechanical-Desktop, Inventor oder Pro/Engineer.

Die im Bereich Mechatronik anvisierten Themengebiete

- Direktantriebssysteme
 - Analysegeräte und -instrumente
 - Antriebe für UHV-Einsatz und
 - komplexe mechatronische Systeme
- überschneiden sich einerseits innerhalb des Themenbereiches Mechatronik und bieten andererseits unmittelbare Anknüpfungspunkte zum System Design und Smart- Power-Systeme.

Unsere Arbeitsweise bei der Lösung von Projektaufgaben zeichnet sich insbesondere durch eine Betrachtung und Optimierung der Systeme als Ganzheit aus, und basiert auf einer engen interdisziplinären Zusammenarbeit von Fachkräften in Projektteams und mit dem Kunden.

Schwerpunkte und Anwendungsbereiche

Die am IMMS entworfenen Antriebssysteme zeichnen sich z.B. durch folgende Besonderheiten aus:

- hohe Genauigkeit und Dynamik auch bei Bahnbewegungen (multiaxiale Direktantriebe)
- Einsatz und Kombination unterschiedlicher physikalischer Wirkprinzipien (z.B. elektrodynamisch, elektromagnetisch, piezoelektrisch)
- Einsatz neuartiger, innovativer Steuerungsstrategien.

Neben dem Entwurf neuer applikations- und kundenspezifischer Antriebslösungen sowie deren Adaption mit geeigneter Sensorik und Steuerungstechnik und Integration in Geräte und Anlagen verfügen wir gleichzeitig über umfangreiches Know-How für Gerätedesigns aus

konventionellen Antriebs-, Sensor- und Steuerungskomponenten.

Eine umfangreiche Ausstattung an Mess- und Steuerungstechnik ermöglicht eine Optimierung und gute Bewertung der Antriebseigenschaften sowie ein Rapid-Prototyping beim Entwurf optimal angepaßter Steuerungen.

Folgende Systeme wurden und werden derzeit entwickelt und untersucht:

- Antriebssystem für 3D-Präzisionsmessmaschine (S. 10)
- Präzisionspositioniersystem PMS100-3 (S. 11)
- planare Antriebssysteme für die Mikrosystemtechnik (S. 12)
- onlinefähiges Rheometer (S. 13)
- Steuerungssystem für hochpräzise lineare und planare Hybridschrittantriebe (S. 14)
- 5D-Präzisionspositionierssystem zum Polieren von Hochleistungsoptiken (S. 8)
- planare elektrodynamische Direktantriebssysteme
- Analysegeräte und -instrumente (z.B. Mikrotribometer)
- Entwurf mehrachsiger digitaler Regelungssysteme.

Künftig anvisierte Aufgabenstellungen sind:

- Entwurf und Implementierung von Bahnsteuerungskonzepten für multiaxiale Antriebssysteme
- Antriebe für Waferpositioniersysteme
- Optische Oberflächenmesstechnik
- Nanopositioniersysteme großer Bewegungsbereiche.

Ansprechpartner:

Dr.-Ing. Christoph Schäffel

Tel.: +49 (3677) 678333

Email: christoph.schaeffel@imms.de

Konstruktion und Steuerung eines 5-Achs-Positioniersystems

Zielstellung

Im Rahmen eines Entwicklungsprojektes wurde am IMMS Ilmenau in Zusammenarbeit mit der FSU Jena ein 5-Achs-Positioniersystem für das Polieren von optischen Präzisionsbauelementen entwickelt und gebaut.

Bei Recherchen der am Markt verfügbaren Maschinen hatte sich gezeigt, dass für die speziellen technologischen Bedürfnisse, die beim Polieren optischer Bauelemente auftreten, eine Neukonstruktion notwendig ist.

Auf dem Gebiet direktantriebener und luftgeführter Systeme wurden am IMMS in den vergangenen Jahren umfangreiche Erfahrungen bei der Realisierung von Antriebs- und Positioniersystemen gesammelt. Dabei kann neben der Beherrschung der mechanisch-konstruktiven Themen auch auf ein gewachsenes Know-How bei der Realisierung der Steuerungen verwiesen werden.

Zielvorgaben für die maximalen Fahrwege in x-, y- und z-Richtung waren 400mm, 160mm und 200 mm. Dabei sollten Positioniergenauigkeiten von bis zu 2 μm erreicht werden. Des Weiteren sollten Kippbewegungen um x- und y-Achse bis zu einem Winkel von 5° mit einer Winkelgenauigkeit von $\approx 4''$ möglich sein.

Die zu bewegenden Werkstücke mit einem Gewicht von ≤ 10 kg sollten bei einer zu realisierenden Bahngenauigkeit von ± 10 μm vom Antriebssystem entsprechend positioniert werden. Die z-Achse war mit einer Trägerplattform auszurüsten, an der im Gesamtsystem die Polierspindel befestigt werden kann. Die Tragfähigkeit der z-Achse war auf ca. 20 kg auszuliegen.

Die Aufgabenstellung umfasste dabei Konstruktion, Prototypenbau, Entwurf eines geeigneten Steuerungssystems, Implementierung einer Schnittstelle zum Werkzeugantrieb (Polierspindel) bzw. einem Dosiersystem sowie einer graphischen Bedienoberfläche.

Forschungsverlauf

Das Forschungsprojekt gliedert sich in folgende Schwerpunkte:

- Konzeption und Auswahl von Lösungsprinzipien für die einzelnen Bewegungsabläufe
- Auswahl von Sensorprinzipien, Entwurf und Aufbau der Sensoren und der dazugehörigen Elektronik
- 3D-Konstruktion
- Bau eines Prototypen
- Modellbildung, Reglerentwurf und Implementierung eines Echtzeit-Regelungssystems

- Entwurf und Implementierung eines Mensch-Maschine Interface (MMI)

Die erarbeitete Antriebskonzeption ist auf Grund der hohen Steifigkeit der Luftführungen und des Granitgestells sowie nicht zuletzt wegen der bevorzugten Wahl von Direktantriebskomponenten gut geeignet, die hohen Anforderungen der Spezifikation zu erfüllen. Insbesondere die Luftführungen und Direktantriebe garantieren durch ihre Berührungsfreiheit eine hohe Lebensdauer bei gleichbleibender Genauigkeit sowie durch ihre Stick-Slip-Freiheit eine hohe Gleichförmigkeit der räumlichen Bahnbewegung.

Nachdem die Antriebskonzeption und Konstruktion weitestgehend abgeschlossen waren, begannen parallel zum Aufbau des Prototypen die Realisierung des Steuerungssystems sowie der Entwurf einer Bedienoberfläche (MMI). Als Basisplattform für das Steuerungssystem wurde ein 19"-Industrie-PC eingesetzt, dessen Kernstück eine DSP-Karte der Firma PMDi Ltd. darstellt.

Aufgrund der Erfahrungen auf dem Gebiet des Entwurfs planarer Antriebssysteme konnten wesentliche Aspekte der Entwurfsmethodik auch auf dieses Projekt übertragen werden.

Vorteilhafterweise können Entwurfswerkzeuge wie MATLAB/SIMULINK und deren Toolboxes

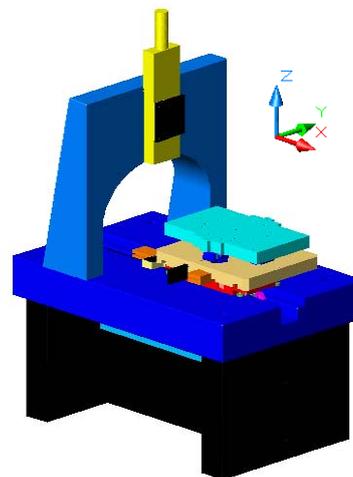


Abb. 1: 3D-CAD-Ansicht

für die Modellierung und die Simulation schon in einem sehr frühen Stadium des Projektes eingesetzt werden.

Durch geeignete Anpassungen der MATLAB-Toolbox REALTIME WORKSHOP (RTW) an die verwendete Zielhardware (Target), das PMDi-DSP-Board, kann ein durchgängiger Entwurfsprozess erreicht werden, d.h. von der graphischen Modellierung bis zur Erzeugung des wesentlichen C-Codes für die Echtzeit-

DSP-Anwendung wird man vom o.g. Programmpaket durchgehend unterstützt. Der verwendete Steueralgorithmus, der die festgelegte Bahngenauigkeit von $\pm 10 \mu\text{m}$ erreichen soll, geht im Gegensatz zur herkömmlichen Herangehensweise völlig neue Wege. Es wurde eine komplett vektorielle Bahnregelung realisiert, die darauf beruht, dass die kinematischen Größe entlang einer Bahn in eine Abweichungs- und eine Zielrichtungskomponente zerlegt werden können. In diesem sogenannten "mitbewegten Koordinatensystem" erfolgt dann die Berechnung der Steuergröße durch eine speziellen Zustandsreglerstruktur (virtuelle Kaskadenregelung).

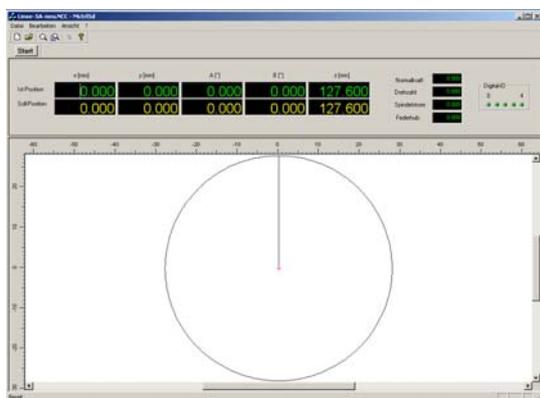


Abb. 2: Bedienoberfläche (MMI)

Die benötigten Zustände werden über einen Beobachter bestimmt. Durch den geschickten Einsatz von Begrenzern innerhalb der Reglerstruktur ist es möglich, direkten Einfluss auf die kinematischen Zustände nehmen zu können (z.B. Einhalten der Bahnsollgeschwindigkeit). Praktische Erfahrungen beim Entwurf und der Einstellung dieses speziellen Regelalgorithmus waren bereits anhand von verschiedenen planaren Antriebssystemen gesammelt worden. Neue Lösungen wurden allerdings bei Fragen nach der Koordinierung von mehr als zwei Achsen gesucht und im Rahmen dieses Projektes auch gefunden.

Bei der Implementierung der Bedienoberfläche (MMI) sind wesentliche Erfahrungen, die im Zuge vorangegangener Projekte gesammelt wurden, mit eingeflossen. Die Darstellungsproblematik und Nutzerführung der Programmoberfläche orientierte sich stark an den Vorgaben und Änderungswünschen des Kooperationspartners, der auch gleichzeitig Anwender ist und auf das technologische Know-How verweisen kann.

Bahnprogramme werden im G-Code (DIN 66025) beschrieben und von einem Preprozessor in ein für den Regelalgorithmus verständliches Format konvertiert. Neben der

Anzeige der Soll- und Ist-Positionen sowie der grafischen Darstellung (s. Abb. 2) der in die Ebene projizierten Soll- und Ist-Trajektorien, ist auch eine Bedienung und Überwachung des Polierprozesses vorgesehen.

Forschungsstand

Nach der Übergabe der Maschine (s. Abb. 3) im Hause und der erfolgreichen Aufstellung und Inbetriebnahme in den Reinräumen der Jenoptik AG, durchläuft das Antriebssystem momentan eine zusätzliche Testphase, die die Leistungsfähigkeit des Gesamtsystems mit integriertem Werkzeugantrieb bestätigen soll. Die Auswertung der Testergebnisse wird durch den Auftraggeber vorgenommen. Resultate lagen zur Drucklegung noch nicht vor.

Ansprechpartner:

Dipl.-Ing. Torsten Maaß

Tel.: +49 (3677) 678362

Email: torsten.maass@imms.de

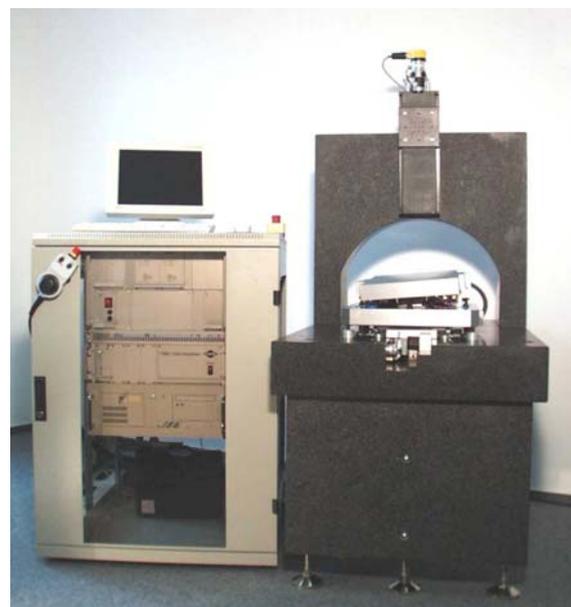


Abb. 3: Realisiertes Maschinenkonzept

Entwurf eines Mess- und Antriebssystems für eine 3D-Präzisions-Messmaschine

Zielstellung

Die räumliche Vermessung komplexer Körpergeometrien mit Nanometerauflösung wird zukünftig in der Fertigungstechnik sowie in der Mikromechanik und Mikrosystemtechnik von grundlegender Bedeutung sein. Für Körpergeometrien mit linearen Abmessungen von 0,1 mm bis 1 dm sind jedoch keine hochauflösenden und hochgenauen 3D-Messverfahren und Messgeräte bekannt. Das Vorhaben sieht deshalb die Schaffung der Grundlagen für eine 3D-Präzisions-Messmaschine vor. Es werden planare Antriebskonzepte untersucht bei gleichzeitiger Integration laserinterferometrischer Messverfahren in die Gesamtkonzeption. Damit werden die Grundlagen für die räumliche Vermessung von Körpergeometrien mit einem Messvolumen von $(100 \times 100 \times 10) \text{ mm}^3$ gelegt. Durch die Ergänzung mit einem laserinterferometrischen Antastsystem für die Probenantastung in z-Richtung wird eine 3D-Präzisions-Messmaschine geschaffen. Als geeignete Antriebslösungen werden im Rahmen eines DFG-Projektes durch das IMMS luftgeführte planare Direktantriebe untersucht. Die Projektpartner FG-Prozessmess- und Sensortechnik und FG-Antriebstechnik der TU Ilmenau untersuchen im Rahmen des Projektes Anordnungen zur hochgenauen Positionserfassung sowie zur magnetischen Objektführung im Raum.

Forschungsverlauf und -stand

Das Vorhaben hat zum Ziel, einen multiachsialen Direktantrieb mit stick-slip freier Führung für eine 3D-Präzisions-Messmaschine mit dem Messbereich $(100 \times 100 \times 10) \text{ mm}^3$ zu schaffen. Für die Umsetzung dieses Konzeptes sind Bewegungen und Kräfte/Momente in insgesamt drei translatorischen (x , y , z) und einer rotatorischen Achse (r_z) zu generieren. Die z -Komponente wird im ersten Schritt des Projektes (erste 2-Jahres-Etappe) ausschließlich durch einen an einem Portal montierten messenden Taster realisiert, der auch z -Höhenschwankungen der Tischführung mit erfasst. Abbildung 1 zeigt das CAD-Modell der Messmaschine. Sie besteht aus einer dreieckförmigen Anordnung zur elektrodynamischen Kraft- und Momentenerzeugung in den Koordinaten x , y und r_z . Das gewählte Konzept ermöglicht eine hohe Dynamik bei guter Steuerbarkeit wobei besonderes Augenmerk auf eine optimale Integration aller Antriebsachsen in ein kompaktes struktursteifes System gelegt wur-

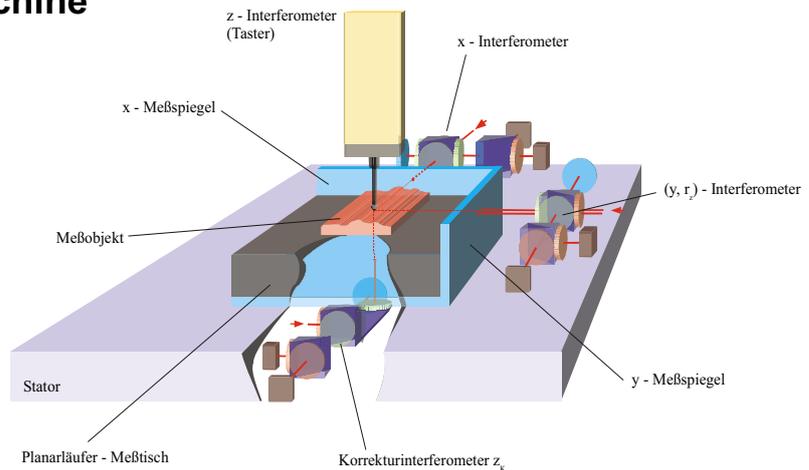


Abb. 1: Darstellung des Gesamtkonzeptes der Messmaschine

de. Die Läuferführung erfolgt aerostatisch in der x - y -Ebene und elektrodynamisch in r_z . Somit besteht kein mechanischer Kontakt zwischen Läufer und Stator. Optional können die x - y -Führungselemente durch eine vakuumvorgespannte Variante ausgetauscht werden, wodurch Nick- und Rollbewegungen des Läufers während der Beschleunigungsphasen reduziert werden. Die Anordnung der interferometrischen Messachsen ist schematisch in Abbildung 2 dargestellt. Sie ermöglicht eine Abbe-fehlerfreie Messobjektantastung im ortsfesten Antastpunkt, während das zu vermessende Objekt bewegt wird.

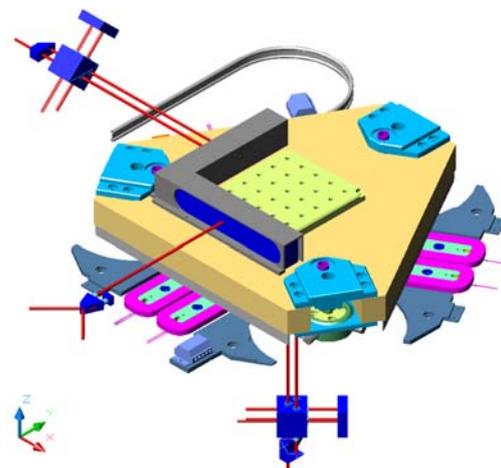


Abb. 2: CAD-Teildarstellung der Messmaschine mit 6D-Laserinterferometer (Darstellung ohne Stator)

Ausblick

Für eine weitere Erhöhung der Mess- und Positioniergenauigkeit wird derzeit an einem Kühlsystemkonzept für die Aktorik und einem System zur Kompensation von Ablauf Fehlern der aerostatischen Führung gearbeitet.

Ansprechpartner:

Dr.-Ing. Christoph Schäffel

Tel.: +49 (3677) 678333

Email: christoph.schaeffel@imms.de

Präzisions-Positioniersystem PMS100-3

Zielstellung

Die schnelle Positionierung von Objekten mit einer Genauigkeit von $1\ \mu\text{m}$ sowie das Abfahren von Kurvenvektoren mit gleicher Genauigkeit und hoher Gleichförmigkeit ist eine häufig gestellte Forderung der heutigen Zeit. Es galt somit ein entsprechendes System zu entwickeln, was diesen Forderungen genügt und von dem ausgehend die Entwicklung hin zu höherer Genauigkeit erzielt werden kann.

Ein entsprechendes Gerätekonzept, einschließlich der Steuerung und Software, war zu erarbeiten und die Funktion nachzuweisen.

Forschungsverlauf und -stand

Ausgehend von den bisher am IMMS entwickelten symmetrischen planaren x-y-Positioniersystemen wurde im vorliegenden Konzept eine dreieckförmige Läuferstruktur mit aerostatischer Dreipunkt-Führung und sternförmiger Spulenanordnung gewählt.



Abb. 1: Läuferansicht von unten

Als Messsystem werden drei speziell angeordnete, fotoelektrische Sensoren, gepaart mit einem flächenförmigen Messraster und einer x-y- Auflösung von $10\ \text{nm}$, verwendet.

Als Antrieb dienen 3 Linearmotoren, deren Aktorspulen auf einem Granitstator befestigt sind, während die Permanentmagnetkreise im Läufer angeordnet werden. Somit ist ein 4 mm flexibler Druckschlauch die einzig notwendige Medienverbindung zum Läufer. Ein bewegungshemmender Kabelschlepp entfällt gänzlich.

Als Basis für den Antrieb wird eine Granitplatte von ca. $(600 \times 600 \times 120)\ \text{mm}^3$ genutzt. Das Gesamtgewicht des Antriebs beträgt ca. $110\ \text{kg}$. Das System ist zum Einsatz unter Reinraumbedingungen geeignet.

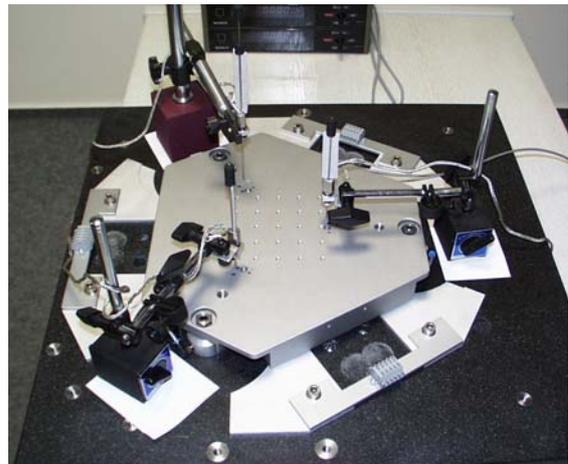


Abb. 2: Justage des Messrasters

Ergebnisse

Der Aktionsraum umfasst eine kreisrunde Fläche mit einem Durchmesser von $100\ \text{mm}$.

Der Antrieb ist zur Bewegung von Massen bis $5\ \text{kg}$ mit einer Beschleunigung von $2\ \text{ms}^{-2}$ geeignet. Die erreichte Positionsauflösung beträgt $0,1\ \mu\text{m}$.

Eine leistungsfähige DSP-Steuerung gewährleistet die exakte Bewegung der Achsen und unterstützt G-Code (DIN 66025) sowie HPGL. Neben einer existierenden WindowsNT-Variante wird ein unter RTLinux lauffähiges System vorbereitet.



Abb. 3: Präzisions-Positioniersystem

Ausblick

Zur weiteren Erhöhung der Systemgenauigkeit befindet sich eine Variante mit einem kalibrierten, temperaturstabilen Maßstab in Vorbereitung. Die Kalibrierfunktionen werden im Regler abgebildet und sollen eine Genauigkeit von $0,2\ \mu\text{m}$ über den gesamten Fahrbereich ermöglichen.

Ansprechpartner:

Dipl.-Ing Hans-Ulrich Mohr

Tel.: +49 (3677) 678318

Email: hans-ulrich.mohr@imms.de

MODAN - Entwurf und Modellierung von Antriebssystemen für die Mikrosystemtechnik

Zielstellung

Im Rahmen des vom BMBF geförderten Verbundprojektes werden zwei Schwerpunkte bearbeitet. Der erste Schwerpunkt befasst sich mit der Evaluierung von Simulationstools, die den Entwicklungsprozess mechatronischer Antriebssysteme unterstützen. Ableitend aus diesen Untersuchungen sollen Anforderungen zusammengestellt werden, die der Weiterentwicklung der Entwurfsmethodik dienen und die in die Weiterentwicklung der Simulationssoftware SimulationX und des Programmsystems SESAM einfließen.

Der zweite Projektschwerpunkt befasst sich mit der Entwicklung verschiedener mechatronischer Antriebssysteme auf der Basis

- modularer Präzisionsantriebe (z.B. elektrodynamischer Direktantriebe und Reluktanzdirektantriebe) und
- modularer Mini- und Mikroantriebe (z.B. elektromagnetischer Resonanzaktoren und Piezoaktoren).

Weiterhin wird die Kombination o.g. Präzisionsantriebssysteme in mehrachsigen Bearbeitungsanlagen unter Fertigungsbedingungen untersucht.

Der jeweilige Entwicklungsprozess der Antriebssysteme wird derart aufbereitet, dass einerseits die Anforderungen an die Simulationssoftware aus den einzelnen Entwicklungsschritten für die Weiterentwicklung abgeleitet werden können und andererseits ein ständiger Vergleich zwischen Simulationsergebnis, realer Entwicklung und Test der Antriebe unter Praxisbedingungen möglich ist.

Forschungsverlauf und -stand

In Arbeitsgruppen wird seit Projektbeginn an der Evaluierung der Simulationstools am Beispiel ausgewählter Antriebe gearbeitet. Parallel dazu begann die Schaffung der Voraussetzungen für die Entwicklung der o.g. Antriebssysteme.

Neben zahlreichen Voruntersuchungen an Versuchsaufbauten und Funktionsmustern entstand z.B. der Prototyp des planaren elektrodynamischen Direktantriebs PMS100-3 (s. Abb. 1). Die Evaluierung des Tools Simulation X erfolgt derzeit anhand von Piezoaktoren und des Tools SESAM anhand elektromagnetischer Resonanzaktoren.

Ausblick

Im weiteren Projektverlauf werden die begonnenen Entwicklungen der Antriebssysteme fortgesetzt. Parallel dazu erfolgt die weitere Evaluierung und die Datenaufbereitung aus dem konstruktiven Entwurf der Antriebe für die Weiterentwicklung der Software.

Ansprechpartner:

Dr.-Ing. Frank Spiller

Tel.: +49 (3677) 678326

Email: frank.spiller@imms.de

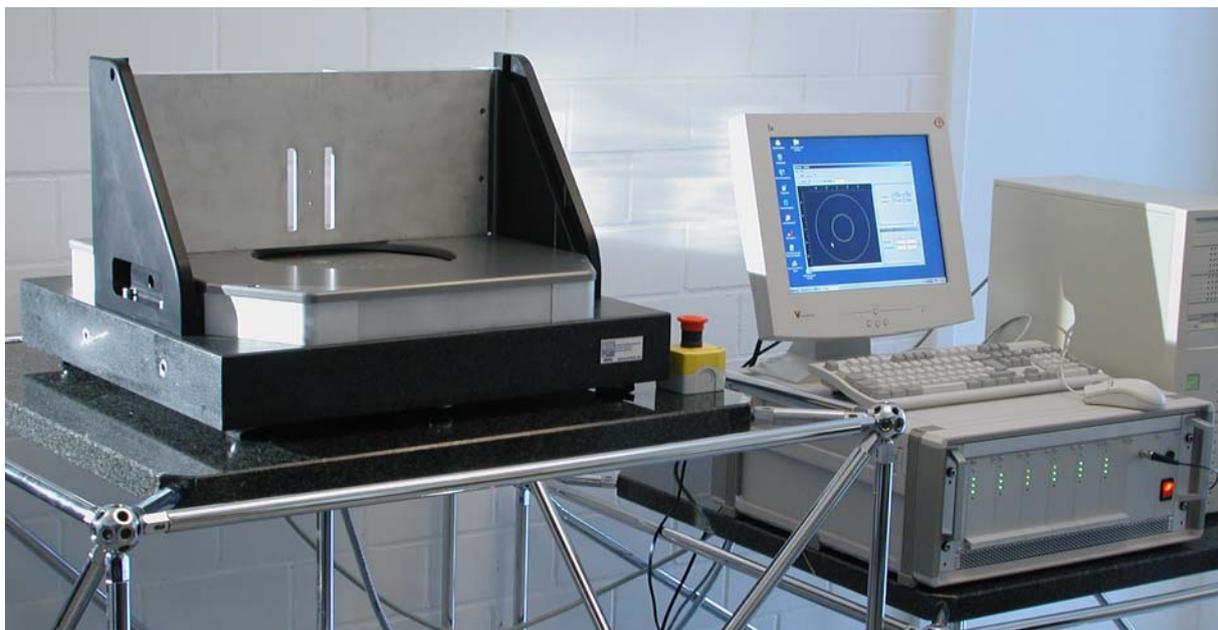


Abb. 1: Elektrodynamischer Planarantrieb als Basis für Analysegeräte und -instrumente

Entwicklung eines Messgerätes zur Untersuchung der rheologischen Eigenschaften von Flüssigkeiten

Zielstellung

Im Rahmen des Europäischen Verbundprojektes, an dem neben dem IMMS zwei mittelständische Unternehmen aus Deutschland und je ein Unternehmen und eine Forschungseinrichtung aus Belgien, Spanien und der Schweiz beteiligt sind, erfolgt die Entwicklung und der Test eines Messgerätes zur Untersuchung der mikrorheologischen Eigenschaften von Filmen, eines sogenannten Rheometers. Für die Untersuchung der dünn- bis zähflüssigen, organischen oder anorganischen Filme werden im Projekt sowohl das Messverfahren, die Kalibrierverfahren für das Rheometer und die Kalibrierflüssigkeiten entwickelt. Dafür ist ein entsprechendes Gerätekonzept einschließlich der Steuerung und Software zu erarbeiten und die Funktionsfähigkeit nachzuweisen. Eine weitere Anforderung an die Geräteentwicklung besteht darin, dass die Messgeräte und die Datenerfassungs- und Auswertesoftware onlinefähig gestaltet sein soll, damit in einem Online-Ringtest die Leistungsfähigkeit nachgewiesen werden kann.

Forschungsverlauf und -stand

Ausgangspunkt der Projektarbeiten war die Definition der Anforderungen an das Rheometer. Hierbei werden die unterschiedlichen Anforderungen der Projektpartner berücksichtigt, die sich einerseits aus den verschiedenen Voraussetzungen der Laborausstattung ergeben und andererseits auf den unterschiedlichen Anwendungsbereichen beruhen. Hierfür haben die Partner diejenigen spezifischen Anforderungen definiert, die sich aus ihren jeweiligen Forschungen im Grundlagenbereich (F&E - Einrichtungen) bzw. aus den Kundenanforderungen (Unternehmen) ergeben. Dies betrifft z.B. die Art der mit dem Rheometer zu untersuchenden Schmiermittel (Viskosität, Zusammensetzung etc.), die Gestaltung der Probekörperpaarung (Material, Oberflächenbe-



Abb. 1: Prototyp eines Rheometers

schaffenheit etc.) und die Versuchsbedingungen (Temperatur, Luftfeuchte, Luftdruck, Gasgemisch, Versuchsdauer etc.) In Auswertung dieser Anforderungen an das Rheometer ergab sich ein Lastenheft, das Grundlage der Geräteentwicklung war.

Im Rahmen der bisherigen Geräteentwicklung entstand ein erster Prototyp des Rheometers (s. Abb. 1). Mit diesem Prototyp wurden die Umsetzung der Anforderungen aus dem Pflichtenheft verifiziert.

Ausblick

Im weiteren Projektverlauf wird der vorhandene Prototyp weiter, entsprechend der Aufgabenstellung, qualifiziert. Dies betrifft einerseits die Messdatenaufbereitung, -auswertung und -visualisierung und andererseits die Realisierung der Onlinefähigkeit. Zu letzterem gehört sowohl die Steuerbarkeit des Messgerätes als auch die Übertragung der Mess- oder ausgewerteten Daten bzw. der Visualisierungsdaten über das Internet.

Ansprechpartner:

Dr.-Ing. Frank Spiller

Tel.: +49 (3677) 678326

Email: frank.spiller@imms.de

Hochpräzise, bahngesteuerte, planare Schrittmotorantriebe

Zielstellung

Im Maschinenbau werden weltweit höhere Geschwindigkeiten und Genauigkeiten gefordert. Für die Antriebe ergibt sich daraus ein Trend zum Einsatz von Direktantrieben, die die Nachteile des klassischen Rotationsmotor-Spindel-Antriebs, wie Spiel und Nachgiebigkeit vermeiden. Der Wegfall der Getriebe ermöglicht geringere Massen und eine Verbesserung der Dynamik des Antriebs. Um die Möglichkeiten hinsichtlich Präzision und Dynamik auszuschöpfen, die sich aus den konstruktiven Vorteilen der Direktantriebe ergeben, genügt es nicht, lineare Schrittmotoren in der offenen Steuerkette zu betreiben. Benötigt wird statt dessen eine Regelung des Antriebs.

Im Rahmen eines vom Thüringer Ministerium für Wissenschaft, Forschung und Kultur geförderten Verbundprojektes werden moderne, nichtlineare Algorithmen zur Regelung von Schrittmotor-Direktantriebe entwickelt. Diese sind so zu gestalten, dass unter Ausnutzung der Vorteile planarer Direktantriebe große Verfahrenswege, hohe Geschwindigkeitsverhältnisse und eine hohe Laufruhe bei allen Geschwindigkeiten realisiert werden. Um diesen Anforderungen gerecht zu werden, sind spezielle Dynamikmodelle sowie Konzepte und Algorithmen für geeignete Steuerungen zu entwickeln. Dabei liegt der Aufgabenschwerpunkt am IMMS in der Entwicklung von Mehrachs-Zustandsregelungen für Bahnsteuerungen. Zunächst steht der Entwurf von Reglerstrukturen im Vordergrund, die eine Implementierung und Erprobung den von den Projektpartnern ermittelten Korrekturfunktionen (speziell für Bahnsteuerung) gestatten.

Forschungsverlauf und -stand

Für die grundlegenden Untersuchungen wird im ersten Schritt ein Linearschrittmotor verwendet. Die Ansteuerung geschieht mittels einer rechnergestützte DSP-Karte der Fa. dSPACE.

Die Regelung des Motors erfolgt durch einen Kaskadenregler, der neben der Positionsauch die Geschwindigkeits- und die Beschleunigungsregelung übernimmt. Die Implementierung des Reglerkonzeptes für den Motor erfolgte zunächst mit einfachen Sinus- und Kosinuskommütierungen für die einzelnen Phasen, da diese Kommütierung keinerlei Kenntnisse über die realen Kraftverhältnisse des Motors voraussetzt und somit eine Motorregelung schnell zu realisieren ist. Zusätzlich wurde eine geschwindigkeitsproportionale Nachführung der Kommütierung in den Regelkreis aufgenommen, so dass Geschwindigkeiten bis zu

700 mm s⁻¹ erreicht werden können. Mit dieser einfachen Kommütierung zeigte sich eine Unvereinbarkeit zwischen hoher Positionsfestigkeit und Geschwindigkeitskonstanz.

Um eine hohe Positioniergenauigkeit bei gleichzeitiger Geschwindigkeitskonstanz zu erreichen, sind Kenntnisse der realen Kraftverhältnisse zur Bestimmung von Kommütierungskurven unabdingbar. Zu diesem Zwecke wurden vom Projektpartner TU Ilmenau, IMMM Simulationsrechnungen für den Kraft-Strom-Weg-Zusammenhang (F-i-s-Zusammenhang) durchgeführt, die zu einer genaueren Kommütierungskurve führen sollten. Damit die Ergebnisse aus den Berechnungen mit den realen Verhältnissen zu vergleichen sind, wurden die F-i-s-Kennlinien für die einzelnen Phasen des Motors zusätzlich experimentell bestimmt.

Der Vergleich zwischen den gemessenen mit den berechneten Kurven ergab im wesentlichen eine gute Übereinstimmung in der Kurvenform. Auffällig für alle Messungen war, dass die gemessenen Kräfte ca. 30% kleiner als die berechneten waren. Als mögliche Ursachen dafür sind eine Änderung des Arbeitsluftspalts aufgrund der ausgebauten Magneten, Toleranzen in der Geometrie und Abweichungen von den theoretischen Materialkennlinien zu nennen.

Auf Grundlage der Messdaten wurden dann Kommütierungskurven nach verschiedenen Methoden berechnet und in den Regelalgorithmus eingebunden. Um die Qualität der für den untersuchten Motortyp ermittelten Kommütierungen beurteilen zu können, wurde ein Vergleichsverfahren entwickelt, welches darauf beruht, die Schwankungen des Reglerstroms bei bestimmten Umgebungsbedingungen (wie hohe Geschwindigkeits- bzw. Beschleunigungskonstanz) zu beurteilen. Entsprechend erfolgte die Auswahl der Kommütierungskurve für den Motor. Durch eine Vorsteuerung zur Reduzierung des Kraftripples sind die Eigenschaften des Reglers weiter optimiert worden (s. Abb.1).

Zu berücksichtigen ist, dass die Kommütierung und die Vorsteuerung im wesentlichen das statische Verhalten zu Grunde legen, der verwendete Regler jedoch ebenso durch dynamische Eigenschaften des Systems beeinflusst wird. Aus diesem Grund wurde eine Frequenzganganalyse des Gesamtkreises, der Regelstrecke und des Reglers durchgeführt. Dabei weist die Strecke positionsabhängige Frequenz- und Phasengänge mit einer Periodizität von $\frac{1}{6}$ des Motorvollschritts auf. Eine Anpassung des Reglerkonzeptes an dieses Verhalten erfolgt derzeit.

Ausblick

Der Schwerpunkt zukünftiger Arbeiten liegt in der Entwicklung eines Algorithmus zur Systemidentifikation und automatischen Anpassung des Reglers an die Identifikationsergebnisse, um diesen i.d.R. manuell durchgeführten Prozess weitestgehend zu automatisieren und somit Performance zu gewinnen.

Ansprechpartner:

Dipl.-Ing. (BA) Jörg Peukert

Tel.: +49 (3677) 678362

Email: joerg.peukert@imms.de

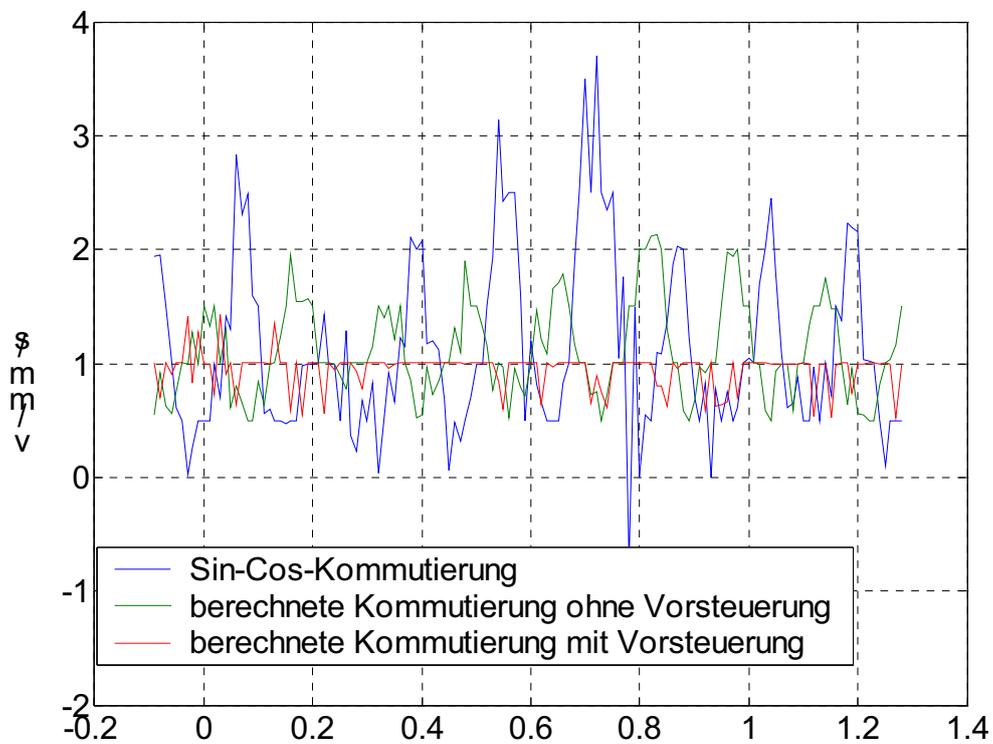


Abb. 1: Vergleich der Geschwindigkeitskonstanz bei verschiedenen Entwicklungsstufen des Reglers

System Design

Der methodisch-systematische Entwurf komplexer eingebetteter elektronischer Systeme für verschiedenste Anwendungsgebiete in Industrie und Forschung stellt nach wie vor eine der größten Herausforderungen für die Weiterentwicklung des Industriezweiges Elektrotechnik/Elektronik dar. Die ständig anwachsenden Komplexitäten der Aufgaben erfordern es, von traditionellem, ingenieurtechnischem Denken zu einer neuen Qualität im Entwurfsprozess überzugehen. Dabei ist es vor allem wichtig, ein komplexes System so früh wie möglich zu modellieren und damit verifizieren zu können, idealerweise unter Einsatz abstrakter und formaler Entwurfsmethoden. Im Themenbereich „System Design“ wird diesen Forderungen durch die Anwendung modernster Tools und Modellierungsmethoden wie Matlab/Simulink oder Unified Modeling Language (UML) entsprochen.

Vor allem die Anwendung neuartiger Modellierungsmethoden unter Verwendung von SystemC™ im Themengebiet „**Digitale Signalverarbeitung/Industrieelektronik**“ hat bei der Bearbeitungen von Themen aus dem „Bereich Echtzeitbildverarbeitung mittels Hardware/Software-Codesign“ zu einer neuen Qualität geführt (S. 19). Hier wurde eine Methodik entwickelt, die eine Einbindung von optimierten Hardwareoperatoren auf Systemebene, ohne spezielle Implementierungskennnisse ermöglicht und somit den Aufwand für die Entwicklung neuer Applikationen im Bereich industrieller Bildverarbeitung reduziert. Im Teilgebiet „Sensorik“ wurden Lösungen zur sensornahen Signalverarbeitung (Kalibrierung, Linearisierung, Kompensation) für kapazitive Sensoren und deren Ankopplung an eine standardisierte digitale Busschnittstelle (IEEE 1451, SPI) entwickelt. Die Implementierung erfolgte dabei mit Hilfe von Verilog und VHDL.

Das Themengebiet „**Busse und vernetzte Systeme**“ konzentrierte sich auf moderne echtzeitfähige Kommunikationstechnologien für industrielle Kommunikation und Automatisierungstechnik. Dabei konnte das 2001 begonnene Buskonverterprojekt um neue Technologien mit hoher Praxisrelevanz wie IEEE 1394b und USB 2.0 erweitert werden. Besondere Aufmerksamkeit wurde der Thematik „Echtzeitfähige Kommunikation im industriellen Umfeld“ gewidmet (S. 15). Hier geht es um das Beschreiten neuer Wege, um herkömmliche Technologien (wie Feldbusse) durch moderne, echtzeitfähige Lösungen mit hoher Bandbreite und Praxisrelevanz zu ergänzen bzw. abzulösen. Schwerpunkte sind hier die bereits erwähnte 1394b-Technologie und Lösungen für echtzeitfähiges Ethernet. Die Implementierung

solcher Kommunikationslösungen erfolgt zunehmend auf Basis von „Embedded Linux“. Dabei kommen die besonderen Eigenschaften eines innovativen, lizenzkostenfreien, „opensource“ Betriebssystems zum tragen.

Ein weiterer Schwerpunkt war die Weiterentwicklung des S-ATA IP-Cores (S. 17). S-ATA ist ein neuer Anschlussstandard für IDE-Festplatten, der sich durch Hotplug-Fähigkeit und erhöhte Störsicherheit auszeichnet. Mit der Implementierung des IP-Cores in VHDL wurden die Voraussetzungen für die Erschließung dieser Technologie für den Bereich eingebetteter Systeme geschaffen.

Im Themengebiet "**Embedded Software/Automotive Systems**" werden vornehmlich Fragestellungen des modellbasierten Entwurfs komplexer eingebetteter Systeme untersucht. Mögliche Anwendungen erstrecken sich dabei von Kfz-Elektronik über industrielle Steuerungen bis hin zu Telekommunikationsanwendungen. Die gemeinsamen F&E-Arbeiten mit einem Industriepartner aus dem Bereich "Smart Wireless Communication Devices" konnte im Jahr 2002 erfolgreich fortgesetzt werden. Der Tätigkeitsschwerpunkt lag dabei zum einen auf der Erweiterung der eingesetzten SW- und HW-Plattform (inkl. einer HW-unabhängigen Middleware für den Einsatz in intelligenten GSM/GPS-Modulen) und zum anderen auf der Untersuchung von Methoden und Werkzeugen zum modellbasierten Entwurf auf Basis der UML in diesem Applikationsumfeld. Insbesondere die Verfolgung eines Produktlinienansatzes zur Modellierung und zum Entwurf von Produktfamilien stellt hierbei das Bindeglied zu aktuellen Entwicklungen im Bereich des SW Engineering dar. Auch im Bereich Kfz-Elektronik konnte die langjährige Zusammenarbeit mit Unternehmen aus der Automobilindustrie fortgeführt werden. Hier liegt schon seit längerem der Schwerpunkt auf der Integration modellbasierter Entwurfswerkzeuge in industrielle Entwurfsprozesse und der Optimierung von Schnittstellen im Entwicklungsprozess. Darüber hinaus wurde für Forschungs- und Demonstrationszwecke ein Modellfahrzeug entwickelt, welches über eine Vielzahl von Aktoren, Sensoren und über verschiedene Bussysteme vernetzte Steuergeräte verfügt. Das Fahrzeug wurde erstmals auf der SPS/IPC/DRIVES 2002 als Demonstratorplattform für die IMMS-Lösung eines intelligenten CAN-Ethernet-Gateways vorgestellt (S. 15).

Ansprechpartner:

Dr.-Ing. Christian Schröder

Tel.: +49 (3677) 678315

Email: christian.schroeder@imms.de

Methodik- und Technologiedemonstrator für vernetzte eingebettete Systeme

Zielstellung

Die Komplexität eingebetteter Systeme nimmt gegenwärtig dramatisch zu. Ursache für diesen Trend ist vor allem der durch Kunden bzw. Anwender geforderte und daher stetig wachsende Funktionsumfang dieser Systeme, welcher vor allem durch neue Sensor- und Halbleitertechnologien, eine steigende Vernetzung von Teilsystemen und vermehrten Einsatz von softwarebasierten Lösungen realisiert werden muss.

Die sichere Beherrschung dieser Komplexität erfordert Veränderungen der Entwurfsprozesse und -werkzeuge, da die herkömmliche Vorgehensweise zunehmend Defizite offenbart. Dies äußert sich u.a. in drastisch steigenden Entwicklungskosten und erhöhter Fehleranfälligkeit. Handlungsbedarf entsteht besonders in Branchen mit kostensensitiven und sicherheitskritischen Anwendungen wie z.B. der Automobilindustrie.

Als vielversprechender Ansatz zur Verminderung der genannten Probleme erweist sich der modellbasierte Entwurf eingebetteter Systeme. Die dabei zum Einsatz kommenden Verfahren und Werkzeuge zur Modellierung bzw. Abstraktion, Verifikation und Transformation von Systemen erzwingen eine Betonung der frühen Entwurfsphasen (Modellierung, Verifikation) und bieten gleichzeitig Möglichkeiten zur Automatisierung späterer Entwurfsschritte (Codierung, Test).

Da die Ursprünge der modellbasierten Entwurfsverfahren im Bereich Business Software bzw. Electronic Design Automation liegen, besteht derzeit ein großer Bedarf an angepassten, ingenieurmäßigen Methoden, aber auch an Erfahrungen beim Einsatz dieser Methoden im Bereich eingebetteter Systeme. Dieser Zielstellung soll ein Methodik- und Technologiedemonstrator des IMMS dienen, welcher aufgrund seiner für diese Systemklasse typischen Eigenschaften (Funktionalität, Sensorik/Aktorik, Interfaces, Bussysteme, HW- und SW-Plattformen) und seiner daraus resultierenden Komplexität eine geeignete Forschungs- und Demonstrationsplattform bietet.

Forschungsverlauf und -stand

Aufgrund der Tätigkeitsschwerpunkte des IMMS und bereits geleisteter Vorarbeiten fiel die Wahl auf ein Demonstrationsfahrzeug, wobei die Verwendung eines funkfern gesteuerten Modelllastzuges einen guten Kompromiss zwischen Kosten, Größe, Bauraum, Anschaulichkeit und Funktionalität darstellt. Bei dem elektrisch angetriebenem Fahrzeug handelt es sich um eine Kombination aus Zugmaschine und Containersattelaufleger im Maßstab 1:15 (Abb. 1). Aktorik, Sensorik, Steuer Elektronik und Stromversorgung sind auf Zugmaschine und Auflieger verteilt. Der Containerauflieger bietet genügend Raum für die unterschiedlichen Teilsysteme und ermöglicht zukünftige Erweiterungen. Die fahrdynamischen Eigenschaften des Fahrzeuges ermöglichen den sinnvollen Einsatz von Funktionen, wie etwa einer Antriebsschlupfregelung. Weiterhin verfügt das Fahrzeug u.a. über eine Lichtanlage (inkl. Defekterkennung von Lampen) und eine Diebstahlwarnanlage. Optional lassen sich Module zur externen Kommunikation (WLAN, GSM), ein Bus-Gateway (CAN, Ethernet), ein GPS-basiertes Navigationsmodul sowie zusätzliche Sensoreinheiten (Beschleunigung, Temperatur, Drehwinkel, Licht) hinzufügen.

Bei dem Fahrzeug handelt es sich um ein sog. X-by-Wire-System, bei dem herkömmliche rein mechanische und hydraulische Systeme (z.B. Lenkung, Bremsen, Getriebe) durch elektromechanische Lösungen ganz oder teilweise ersetzt sind. Notwendige Mess- und Steuergrößen werden dabei über Bussysteme zwischen den Systemkomponenten übertragen.

Die Steuergeräte (Rechnerknoten) sind mit den Aktoren (z.B. Fahrregler, Lenkservo, Lampen) und Sensoren (z.B. Raddrehzahl, Schaltkontakte) verbunden und tauschen benötigte Informationen über ein Bussystem (CAN) untereinander aus (s. Abb. 2). Die Funktionalität (z.B. Antriebsschlupfregelung) wird durch Software innerhalb der Steuergeräte realisiert. Die Steuergeräte verfügen über ein Kfz-typisches Echtzeitbetriebssystem (OSEK).



Abb. 1: Modellfahrzeug

Im Rahmen eines laufenden IMMS-Forschungsprojektes wurde der Demonstrator um ein intelligentes Bus-Gateway für CAN und Ethernet erweitert (s. Abb. 2). Das Gateway verfügt über einen Linux-basierten Embedded Web-Server, welcher den direkten Zugriff auf den internen Fahrzeug-Bus ermöglicht. Über eine drahtlose Netzwerkverbindung (WLAN) wird das Fahrzeug per Ethernet mit der Außenwelt verbunden, wodurch auf die Fahrzeugdaten mittels eines WWW-Browsers und einem Standard-PC zugegriffen werden kann. Diese Lösung wurde auf der Messe SPS/IPC/DRIVES 2002 erfolgreich demonstriert.

Ansprechpartner:
 Dipl.-Ing. Wolfram Kattanek
 Tel.: +49 (3677) 678355
 Email: wolfram.kattanek@imms.de

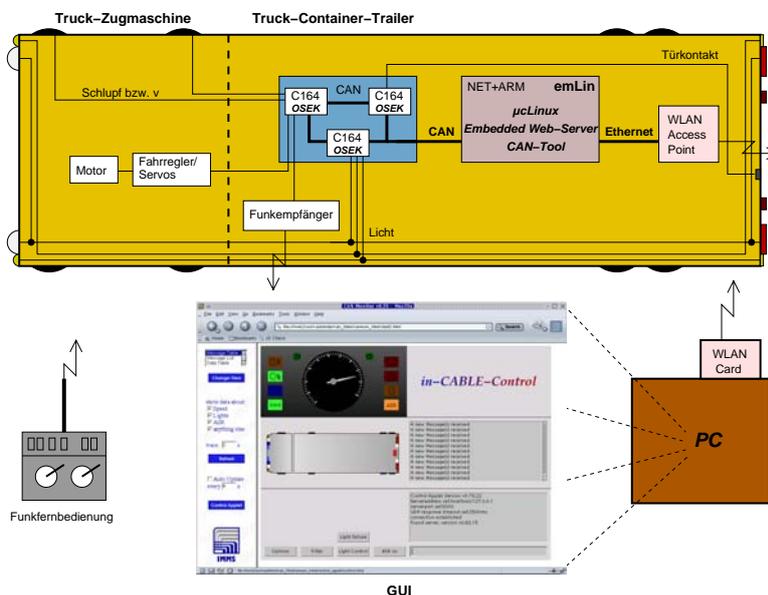


Abb. 2: Komponenten und Aufbau des Demonstrators

Ausblick

Der hier vorgestellte Demonstrator wird im IMMS kontinuierlich weiterentwickelt. Neben Erweiterungen im Bereich der Funktionalität und Sensorik werden derzeit auf Basis des o.g. intelligenten Bus-Gateways Möglichkeiten geschaffen, um direkt innerhalb der modellbasierten Entwurfswerkzeuge auf die Aktorik und Sensorik des Fahrzeuges zugreifen zu können. Damit wird dem Entwickler eine frühzeitige Validierung seiner Modelle mit Hilfe realer Hardwarekomponenten ermöglicht. Schwerpunkte im Bereich der Methodikentwicklung werden vor allem UML für eingebettete Systeme, formale Verifikationsverfahren und Entwurf verteilter Steuerungen sein. Daneben wird die Untersuchung marktgängiger und innovativer Entwurfswerkzeuge bzgl. ihrer Tauglichkeit für eingebettete Systeme fortgeführt. Zielstellung ist dabei stets die methodische Aufbereitung ihres Einsatzes innerhalb industrieller Entwicklungsprozesse.

Serial-ATA - Implementierung im FPGA für Embedded Systems

Zielstellung

Die Speicherung großer Datenmengen in kurzer Zeit erfordert immer schnellere Massenspeicherinterfaces. Bei dem aktuellen Festplatteninterface (UltraATA100 bzw. ATAPI 6) ist auf Grund der parallelen Architektur die maximale Datenrate nahezu erreicht. Aus diesem Grund ist im Sommer 2001 ein neuer Standard, der Serial-ATA, verabschiedet worden, bei dem die Daten seriell übertragen werden. Dieser neue Bus soll ausschließlich als interner Bus Verwendung finden. Die Datenübertragung auf einem Serial-ATA-Kabel wird mit LVDS-Technik besonders störunanfällig und

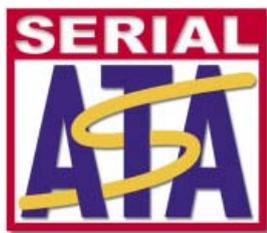


Abb. 1: Logo des Standards

es sind nur 6 statt 80 (UltraATA100) Leitungen nötig. In der ersten Ausbaustufe sollen 150 MByte/s (netto 1,5 GBit/s brutto) als maximale Datenrate zur Verfügung stehen. Ausserdem soll dieser neue Standard komplett softwarekompatibel zu dem bisherig verwendeten Standard sein. Damit kann man die gleichen Treiber verwenden.

Durch eine geringere Leitungsaufnahme und die Hot-Plug-Fähigkeit (das Speichermedium kann bei laufendem Betriebssystem gewechselt werden) ist das Serial-ATA-Interface auch für Embedded Systems gut geeignet.

Im Rahmen eines Forschungsprojektes des Thüringer Ministerium für Wissenschaft, Forschung und Kunst (TMWFK) wurde eine intelligenter Buskoppler entwickelt. Dieser sollte um ein Massenspeicherinterface erweitert werden (s. Abb. 3). Hierbei sollte der neue Standard zum Einsatz kommen. Ein FPGA auf dem Bord übernimmt dabei die Serial-ATA-Host Funktion. Um dies realisieren zu können, muss ein universell einsetzbarer Serial-ATA-Core mit Hilfe der Programmiersprache VHDL entwickelt werden.

Forschungsverlauf und -stand

Das Protokoll des Serial-ATA-Standards setzt sich aus mehreren Layern (Physical-, Link-, Transport- und Application-Layer) zusammen.

Es muss vorab geklärt sein, welche Teile des Protokolls in VHDL beschrieben werden und welche als Hardware bzw. Software (im Controller) vorliegen.

Es zeigte sich, dass der Physical-Layer nicht in einem FPGA realisierbar ist und somit als externe Hardware zum Einsatz kommen muss. Zur Zeit sind jedoch noch keine Physical-Layer-Chips für Serial-ATA verfügbar. Um dennoch die Übertragungsstecke testen zu können, wurde mit Serialisierer- und PLL-Chip ein Physical-Layer nachgebildet. Es hat sich jedoch gezeigt, dass diese Variante nicht für einen Serial-ATA-Phy geeignet ist. Eine bessere Variante ist, den Gigabit-Ethernet Transiver-Chip zu verwenden. Dieser Physical-Layer-Chip beinhaltet bereits die Kanalcodierung (8B/10B) und hat eine 16 Bit-Daten Schnittstelle zum Link-Layer. Weiterhin bietet er als maximale Datenrate die geforderten 1,5 GBit/s. Allerdings weichen die verwendeten Kommandocodes etwas von denen des Serial-ATA-Phy ab. Um diesem Chip dennoch verwenden zu können, wurde die Kommandocode-Generierung modularisiert und entsprechend angepasst.

Der Link-Layer verwendet einen Quittierungsbetrieb, um den Erhalt von Kommandos und

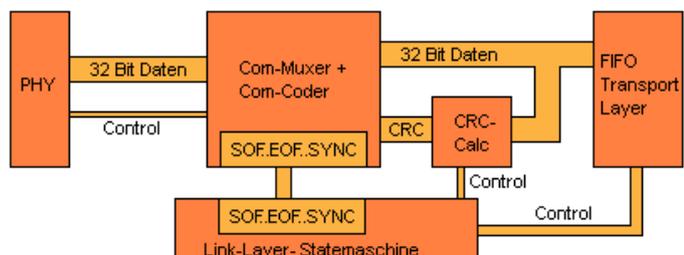


Abb. 2: Blockschaltbild Link-Layer

Daten zu bestätigen. Ebenfalls wird eine CRC32-Prüfsumme der eingehenden Daten berechnet und mit der am Ende des Datenstromes mit übertragenen Prüfsumme verglichen. Um aus den Nutzdaten die Prüfsumme und die Kommandocodes auszublenden, ist eine Art „Pipeline“ mit angekoppelten Steuerautomaten nötig. Dadurch erhöht sich der Bedarf an Flipflops (s. Abb. 2). Der zu verwendende FPGA muss flächenmäßig diesen Anforderungen entsprechen.

Im Transport-Layer werden die Registerdaten des Application-Layers in Frames „verpackt“ und als Frame-Pakete dem Link-Layer übergeben und umgekehrt. Um diese Funktionalität umzusetzen, ist erneut ein Steuerautomat notwendig. Der Serial-ATA-Standard definiert acht

verschiedene Frame-Typen, die jeweils durch das Byte 0 eindeutig erkennbar sind. Bei der Implementierung dieser Frame-Erkennung entstehen IF-THEN-Bäume, welche bei der Synthese Timingprobleme hervorrufen können. Gegebenenfalls muss der VHDL-Code entflochten und in Teilmodule zerteilt werden.

Link- und Transport-Layer wurden als VHDL-Core in FPGA implementiert. Der Application-Layer ist besser in Software auf einem Controller zu realisieren, da er dem Treiber sehr nahe ist. Die Softwarekompatibilität von Serial-ATA wird durch die Nutzung des identischen Registersatzes, wie bei dem bisherigen UltraATA 100-Standard, erreicht.

Ausblick

2003 wird mit Hilfe ein Converter-Boards eine „klassische“ Festplatte als Massenspeicher verwendbar sein. Weiterhin soll ein Flash-Speicher mit Serial-ATA-Interface entstehen.

Um das Serial-ATA-Interface auch mit zukünftigen, vom Markt angebotenen, fertigen Produkten (z.B. Serial-ATA-Festplatten) verwenden zu können, muss an den FPGA der originale Physical-Layer-Chip angeschlossen und der Link-Layer entsprechend angepasst werden.

Ansprechpartner:

Dipl.-Ing. Sebastian Hollatz

Tel.: +49 (3677) 678352

Email: sebastian.hollatz@imms.de



Abb. 3: Demonstrator mit simulierter Serial-ATA-Festplatte

Echtzeitbildverarbeitung mittels Hardware/Software-Codesign

Zielstellung

Applikationen in den Bereichen Industrieautomation, Qualitätskontrolle und Inspektion erfordern zunehmend echtzeitfähige Sensorik. Dabei sind immer größere Datenmengen zu bewältigen. Rein softwarebasierte Lösungen, selbst mit den leistungsstärksten Prozessoren, reichen oftmals nicht mehr aus (z.B. 100% Prüfung bei hohen Produktions-Taktraten).

Durch die Möglichkeit, innerhalb eines Codesigns Funktionsblöcke in Hardware auszulagern und zu parallelisieren, kann die Verarbeitung von Sensorsignalen deutlich effizienter gestaltet werden.

Im Rahmen eines Forschungsprojekts des Thüringer Ministerium für Wissenschaft, Forschung und Kunst (TMWFK) wurden die Voraussetzungen für das Entwickeln von Machine Vision Systemen basierend auf einer HW/SW-Codesign Plattform geschaffen. Im Vorhaben wurde neben dem Aufbau einer Prototyphardware vor allem Wert auf die Entwurfsmethodik gelegt, da Applikationsingenieure in der Regel spezielles Fachwissen (Bildverarbeitung) aber wenig Kenntnisse über Hardwaredesign haben.

Mit der entwickelten Methode ist eine Einbindung von Hardwarefunktionen auf abstrakter Ebene, ohne spezielle Implementierungkenntnisse möglich und reduziert somit den Aufwand für die Entwicklung neuer Applikationen.

Forschungsverlauf und -stand

Am Beginn des Projekts stand der Entwurf einer Demonstratorplattform für Bildverarbeitungsapplikationen.

Diese Plattform (s. Abb. 1) wurde auf Basis einer PCI-Einsteckkarte, bestehend aus Standard-DSP und programmierbarer Hardware (FPGA) aufgebaut. Außerdem



Abb.1: PCI-Demonstratorboard

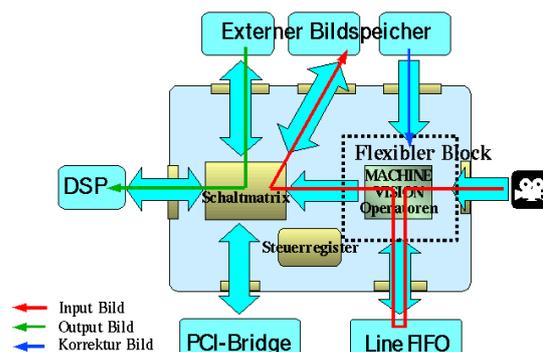


Abb. 2: FPGA Topologie

wurde eine schaltungstechnische Lösung innerhalb des FPGAs für die Handhabung flexibler Datenströme und austauschbarer Bildverarbeitungsoperatoren realisiert. Die Operatoren werden direkt in den Eingangsdatenstrom eingekoppelt. Zur Realisierung von Operatoren, die mit lokalen Umgebungen arbeiten, ist ein externer Speicher (Line FIFO) vorhanden (s. Abb. 2). Die Signalverarbeitung findet während des Bildeinzugs von der Kamera zum externen Bildspeicher statt. Parallel dazu ist ein zuvor bearbeitetes Bild vom DSP oder PCI-Bus lesbar. Neben den Bilddaten können asynchron auftauchende Ergebnisse, wie z.B. Koordinaten von Objektpixeln, in einer internen FIFO gespeichert werden.

Ein weiterer inhaltlicher Schwerpunkt war die Bereitstellung einer Entwurfsmethodik für die Hardwareplattform. Beim beteiligten Forschungspartner TechnoTeam Bildverarbeitung GmbH existierte bereits ein Werkzeug, welches den Entwurf und die Simulation softwarebasierter Bildverarbeitungssysteme erlaubt. Hierbei können verschiedene Funktionsblöcke und Algorithmen, die als C++ - Code in Bibliotheken abgelegt sind, in einer Oberfläche zu einem Datenflussgraphen verbunden werden. Das Modell ist ausführbar und durch Simulation überprüfbar.

Komponenten des Prototypen:

- General Purpose DSP (ADSP 21160 mit JTAG Debug Interface)
- Hardware basierter Coprocessor (implementiert in einem APEX20KE400 CPLD)
- Speicher (3 x 2 MB Bildspeicher, 64k x 64bit Line-FIFO)
- Kameraschnittstelle (2x12 Bit camera)
- DSP Schnittstelle (32 Bit Adressen, 32 Bit Daten)
- Kommunikationsschnittstellen (IEEE 1394, RS232 Interface)

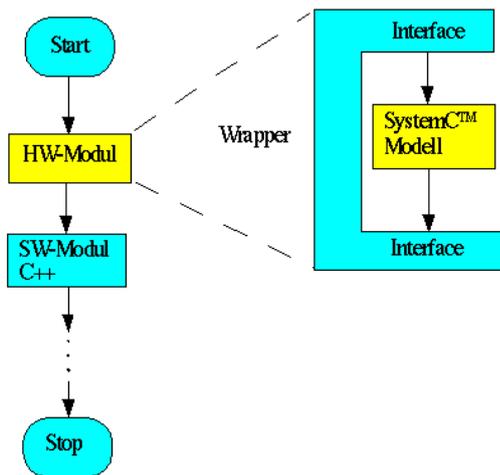


Abb. 3: Einbindung von Hardwaremodulen in das Systemmodell

Im Projekt wurde das Werkzeug dahingehend erweitert, dass jetzt auch Systeme mit Hard- und Softwarekomponenten realisierbar sind. Zusätzlich zu den bereits existierenden Bibliotheken gibt es Hardwareoperatoren, die simuliert und in den FPGA geladen werden können. Durch die Verwendung von SystemC™ ist eine takt- und bitgenaue Simulation der Hardwaremodule durchführbar. Die Integration der SystemC™ Operatoren in das Systemmodell erfolgt über einen C++ - Wrapper (s. Abb. 3). Zu jedem Operator existiert eine verhaltensgleiche VHDL Implementierung.

Durch diese Methode besteht die Möglichkeit, einfach Hardware- und Softwarekomponenten in einem Systemmodell zu verwenden, d.h. ein Codesign zu realisieren. Der Bildverarbeitungsingenieur kann für Applikationen sowohl auf eine getestete Operatorbibliothek zurückgreifen als auch neue Operatoren einbinden. Dazu muss er unter Verwendung eines Basisoperators, der als Template zur Verfügung steht, einen Operator neuer Funktionalität erstellen. Dieser C++ - Code kann dann von einem Hardwarepezialisten als ausführbare Spezifikation für das Hardwaredesign des Operators genommen werden. Er liefert dem Systemingenieur anschließend ein verfeinertes Modell, welches dieser zur Verifikation des endgültigen Gesamtsystems verwenden kann. Der Entwurfsfluss für das Codesign ist folgendermaßen gestaltet:

1. Erstellen eines abstrakten Systemmodells
2. Verifikation durch Ausführen (Simulation) des Modells
3. Partitionierung des Modells durch Einfügen vorhandener Hardwareoperatoren, neue Hardwarekomponenten erstellen (C++ - Template)
4. erneute Verifikation (Simulation) mit partitioniertem, verfeinertem Modell
5. Download in den DSP und FPGA
6. Verifikation des „realen“ Systems

Ausblick

Die vorgestellte Entwurfsmethodik ist speziell auf Machine Vision Applikationen zugeschnitten. Ziel ist es, die beschriebene Herangehensweise auf weitere Anwendungsgebiete zu übertragen. Häufig werden Signalverarbeitungssysteme (z.B. für sensornaher Signalverarbeitung) mit Matlab/Simulink entworfen.

Um das umfangreiche Funktionsangebot der zahlreichen Matlabbibliotheken mit der Möglichkeit einer takt- und bitgenauen Hardwaremodellierung zu verbinden, wurden die Voraussetzungen geschaffen, SystemC™-Funktionen in Simulinkmodelle einzubinden (s. Abb. 4). Die Hardwaremodelle werden als Simulink S-Funktionen eingebunden, der Übergang von der Simulink- zur SystemC™-Simulationsumgebung erfolgt über einen Wrapper. Diese Vorgehensweise stellt sicher, dass alle Operatoren aus dem oben erwähnten Projekt wieder verwendbar sind. Dadurch ist die Entwicklung neuer Hardwareoperatoren für das Bildverarbeitungssystem mit Simulink möglich.

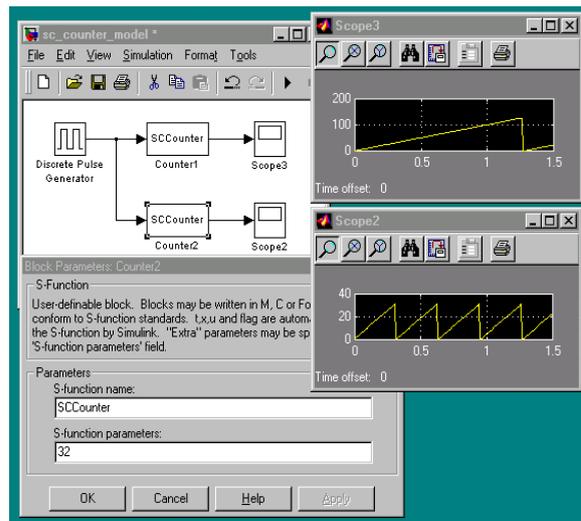


Abb. 4: SystemC™ Modell als Simulink S-Funktion

Mit der beschriebenen Kopplung beider Werkzeuge kann bereits auf Basis eines Simulinkmodells eine spätere Hardwareimplementierung überprüft werden. Ein nächster Schritt ist die Realisierung einer Codegenerierung für die Hardwaremodule. Zusammen mit dem Real Time Workshop von Mathworks könnte ein durchgehend modellbasierter Entwurf für ein Codesign aus Simulink durchgeführt werden.

Ansprechpartner:

Dipl.-Ing. Jens Zellmann

Tel.: +49 (3677) 678358

Email: jens.zellmann@imms.de

Mikroelektronische Schaltungstechnik

Schwerpunkt der Arbeit im Jahre 2002 war die Erprobung neuer Entwurfsmethoden für den fehlerfreien Entwurf von Systems on Chip (SoC) (VHDL-AMS und symbolische Analyse, embedded DSP Systems) und die Optimierung von integrierten analogen Schaltungen (Transimpedanzverstärker, ADCs, optoelektronische Sensoren, SOI-Schaltungen).

In den folgenden Kompetenzschwerpunkten arbeitet das IMMS an innovativen Anwendungen:

- SOI-Schaltungen (Hochvolt- und Hochtemperaturanwendungen)
- universelle Sensorverstärker
- ADC-Entwurf
- optische Kommunikation, optische Sensoren, DVD-Leseeinheiten
- DSP- und controllerbasierte Synthese von mixed-signal ASICs und embedded Systemen
- formale Verifikation und Simulation von Mixed-Signal Systemen
- symbolische Analyse analoger Schaltungen

Aus den Forschungsergebnissen ergab sich eine intensive Zusammenarbeit mit Halbleiterfoundries, Design-Zentren und Sensorik- und Elektronikanwendern. Die Arbeiten werden durch Forschungsprogramme der EG (MEDEA+), des BMBF (EDA-Centrum, Ekompas), des BMWi (AiF/DFAM), des TMWFK und des TMWAI unterstützt.

Als Beispiele sollen für das Jahr 2002 die folgenden Ergebnisse vorgestellt werden:

Die Forschungen zu HF-Schaltungen wurden fortgesetzt, wobei integrierte Induktivitäten und Schaltungsblöcke für 1 GHz Transceiver im Mittelpunkt standen. Erste Evaluierungen von SiGe-Technologien wurden durchgeführt.

Im Themengebiet „**ADC**“ wurde der neue Themenschwerpunkt „kapazitive Sensorelektronik“ bearbeitet (S. 22). In diesem Forschungsprojekt entstehen Lösungen für die Sensorelektronik verschiedenster Sensoren (Feuchte, Druck u.a.m.). Es werden sowohl die Sensorverstärker, die AD-Wandlung und das Signalprocessing bearbeitet.

Im Themengebiet „**Optoelektronik**“ lag der Schwerpunkt auf DVD-Leseeinheiten für blaues Licht (S. 26). Die Geschwindigkeit und Empfindlichkeit von DVD-Leseschaltungen wurden weiter erhöht (TIA mit > 100 MHz Bandbreite) und für den Lese-/Schreibbetrieb Schaltungen mit umschaltbarem Dynamikbereich entwickelt.

Im Projekt „Schaltungen für optische Low-Cost-Busse“ werden störteste optische Verbindungen über Multimode-Fasern mit den zugehörigen Sende- und Empfangsverstärkern erforscht (S. 28). Die ursprüngliche Zielstellung einer Übertragungsrate von 155 MB/s ist in den aktuellen Forschungsarbeiten auf 625 MB/s bis 1 GB/s erwei-

tert worden. Für die Übertragung werden Lichtwellenlängen von 600 nm bis 850 nm untersucht.

Für embedded Mixed-Signal Systeme wurde eine Entwurfsmethodik erforscht, mit der ein System mathematisch beschrieben und simuliert werden kann (MATLAB, SIMULINK) und aus dieser Simulation eine optimierte Elektroniklösung abgeleitet wird (S. 34). Die Methode gestattet eine anschließende Implementierung mit Controllern, DSPs, in einem FPGA oder auch als ASIC. In einem Workshop im November 2002 wurden die Ergebnisse zusammengefasst, so dass sie für Interessierte schnell nachgenutzt werden können.

Eine stürmische Entwicklung nahmen die Forschungen zu SOI-Schaltungen (S. 38). Auf der Grundlage der 2001 erprobten Modelle und Teilschaltungen (analoges und Mixed-Signal SOI-Design-Kit für die Fa. X-FAB Semiconductor Foundries AG, Erfurt) wurden Forschungen zu Regelschaltungen und Leistungstreibern im automatisierten Bereich vorangetrieben. Der erhöhte Einsatztemperaturbereich (220°C), die Latch-Up-Festigkeit und gute ESD-Festigkeit ermöglichen höhere Qualität und Zuverlässigkeit als herkömmliche Technologien. Die Forschungen zu SOI-RAMs und SOI-Hall-Elementen wurden fortgesetzt.

Die EDA-Designmethoden wurden in mehreren Projekten weiterentwickelt:

- ASDESE: ESD-Modellierung
- ANASTASIA: Mixed-Signal Design mit Verhaltensbeschreibungssprachen, symbolischer Analyse, Technologietransfer (S. 26)
- VALSE: Formale Verifikation von Mixed-Signal Schaltungen (S. 34)
- SPEAC: Simulation heterogener Systeme (S. 32)
- DFAM/DSP: Systematischer Mixed-Signal Systementwurf

Ansprechpartner:

Prof. Dr. sc. techn. Franz Rössler

Tel.: +49 (361) 4276639

Email: franz.roessler@imms.de

Neue Entwurfsmethoden und Konzepte für hochgenaue SC A/D-Wandler

Zielstellung

Im Themengebiet Analog-Digital Umsetzer (ADU) wurde 2001 das Projekt „Entwicklung von A/D-Wandlern für die Anwendung in Digitalen Signal-Verarbeitungssystemen unter Berücksichtigung neuester Technologien, Techniken und Anforderungen“ (Thüringer Ministerium für Wissenschaft, Forschung und Kunst B609-97049) erfolgreich abgeschlossen, bei dem ein zyklischer RSD ADUs in der Technologie CX06 der Fa. X-FAB AG Semiconductor Foundries GmbH Erfurt, realisiert und ausgemessen wurde. 2002 sind die Arbeiten im Rahmen eines Anschlussprojektes für komplexe Sensoranwendungen mit dem Ziel der weiteren Verbesserung der Eigenschaften (insbesondere Linearität, Samplingrate und Rauschfreiheit) des ADU fortgeführt worden.

Forschungsverlauf und -stand

In dem Projekt wurde eine Entwurfsmethodik für SC-Systeme systematisch, effektiv und sicher bereitgestellt. Die Möglichkeiten der Hardware-Beschreibungssprache VHDL-AMS zur Modellierung gemischt analog-digitaler Systeme mit dem Werkzeug (AdvanceMS) wurden erschlossen. Eine besondere Anforderung beim Entwurf von SC-Systemen für hochgenaue ADU stellt die Notwendigkeit der Anwendung von Korrekturmechanismen für den Ausgleich der Fehler, die durch die notwendigen Operationsverstärker (insbesondere endliche Verstärkung und Offset) verursacht werden, dar. Durch Korrekturmechanismen in der analogen Verarbeitung im SC-Schaltssystem werden große digitale Korrekturrechenwerke vermieden, die sonst für die Erreichung der Linearitätsanforderungen für Auflösungen von mehr als 11 bit notwendig sind.

Auf der ADDA'02 (27./28.Juni 02, Prag) wurde eine praktisch erprobte Korrekturmethode durch Ladungsaddition vorgestellt.

Mit der Anwendung der Korrektur konnte eine deutliche Verbesserung der Linearität erreicht werden. Eine Linearität zu erreichen, die einer Auflösung von 14 bit entspricht, wurde entgegen den Erwartungen der Simulation noch nicht erreicht. Das Hauptproblem liegt darin, dass bei einer analogen Simulation auf Ebene der Bauelemente keine vollständige Simulation der Übertragungskennlinie möglich ist.

VHDL-AMS-Verhaltensmodellierung

Um systembedingte Fehler im SC-Systemkonzept des Wandlers zu finden, müssen die Ladungstransfervorgänge sowie die durch den nichtidealen OPV bedingten Fehler und deren Korrekturmechanismen mit einer um Größen-

ordnungen schnelleren Simulationsmethodik modelliert werden. Hierzu wurde die allgemeine Lösung für den stabilen Endzustand der Ladungstransfervorgänge in SC-Schaltungen bei beliebig vielen beteiligten Kapazitäten unter der Annahme eines offsetbehafteten OPV mit endlicher Verstärkung mathematisch aufgestellt und ein Modellierungsalgorithmus für VHDL-AMS in der abgetasteten Domäne (Nutzung von REAL SIGNALS) aufgestellt.

Generator für VHDL-AMS-SC-Verhaltensmodell

Eine Umsetzung komplexer SC-Systeme von Hand in den notwendigen VHDL-Code würde zu Fehlermöglichkeiten führen, die durch den VHDL-Interpreter nicht erkennbar sind. Eine automatisierte Umsetzung für eine einfache Notation der elementaren Sample- und Ladungstransfer-Operationen innerhalb des Phasensystems sowie deren Umsetzung mit Hilfe eines AWK-Programmes nach VHDL wurde realisiert.

Zwei weitere Vorteile in Hinblick auf die Effektivität und Sicherheit des Entwurfsprozesses ergeben sich mit diesem Tool:

- Es können in kurzer Zeit verschiedenen SC-Konzepte zur Lösung einer Aufgabe beschrieben, verifiziert und miteinander verglichen werden. Der zeitliche Aufwand für die Aufstellung von Schematics (CADENCE) mit Schaltern, Kapazitäten, OPVs und der zugehörigen Phasensteuerlogik sowie der zugehörigen Simulation wäre unvergleichlich höher, fehlerträchtig und würde eine vergleichende Modellierung verschiedener Konzepte nicht ermöglichen.
- Der Umsetzungsvorgang (VHDL-AMS-Generator) ermöglicht den Einbau verschiedener Plausibilitätstests in Form von Warnungen und Fehlermeldungen, die bereits auf der Ebene der abstrakten SC-Systembeschreibung ansetzen und hier Fehler und gefährliche Schaltsituationen anzeigen. (z. B. Verwendung von 2 Integrationskapazitäten an einem OPV in der gleichen Phase → Warnung)

Resultat der SC-Verhaltenssimulation

Die Simulation der gesamten Kennlinie des ADU Entwurfs benötigte nach dieser Methode (bei 16 bit !) ca. 10 min und ergab nahezu den gleichen Fehler wie die Auswertung der Messergebnisse. Die Variation der Messkapazität für die Korrektur des OPV-Fehlers ergab einen optimalen Wert von $2.5 \cdot C_x$ (C_x =Wert der Arbeitskapazitäten) im Gegensatz zu dem früher angenommenen Wert von 2.0.

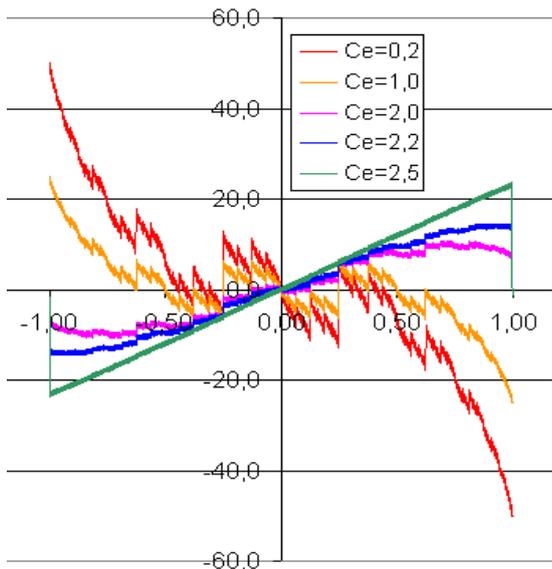


Abb. 1: Vollständige Kennliniensimulation der INL des ADU (dargestellt LSB-Fehler bei 15 bit Auflösung) mit verschiedenen Korrekturkapazitäten (realisiert: 2.2 pF)

Weiterhin wurde ein „Overall“-Verstärkungsfehler der Kennlinie simuliert, der ebenfalls durch die Messergebnisse belegt wurde. Dieser bewirkt eine Maßstabsänderung gegenüber der Referenzspannung.

Die neue Methodik führt zu zwei neuen SC-Konzepten, die beide Mängel vermeiden und zudem extern mit effektiv drei Phasen je Bitzyklus auskommen. Beide Systeme wurden mit der neuen Methodik auf der SC-Systemebene erfolgreich verifiziert.

Generator für VHDL-AMS SC-Strukturmodell

Natürlich kann die mathematische Verhaltensmodellierung noch Fehler enthalten. Eine vergleichende elektrische Simulation der Einschwingvorgänge ist deshalb sinnvoll. Aus diesem Grunde wurde - ausgehend von der gleichen Notation der SC-Phasen-Operationen - ein VHDL-AMS-Generator zur Erzeugung eines Strukturmodells aus Schaltern, Kapazitäten und OPVs erstellt. Durch die „Vermischung“ beider generierten Modelle, was mit Hilfe von VHDL-AMS sehr elegant möglich ist, kann jetzt die notwendige vergleichende Simulation durchgeführt werden.

Neue SC-Systemkonzepte für zyklische RSD-ADU

In dem neuen SC-Systemkonzept wird der Sample&Hold-Block durch einen zweiten Arithmetikblock ersetzt, der ebenfalls ein Bit erzeugt. Es entsteht ein zweistufiges, zyklisches Pipelineverfahren. Die Korrektur der OPV-Fehler erfolgt nach dem „mismatchfreien“ Verfahren der Spannungsaddition. Auch gegenüber allen eingehenden (V_{ref} und V_{in}) und umlaufenden

den Spannungen wurde das Prinzip unabhängig von den Kapazitätsverhältnissen realisiert. Jede Stufe benötigt 6 Phasen/Bit. Durch das „Pipelining“ erfolgt eine Überlappung der beiden Phasenzyklen, so dass nach außen nur 3 Phasen/Bit benötigt werden. Das Prinzip benötigt 20 Kapazitäten u. 120 Schalter für ein Fully-Differential-Design.

Das zweite Verfahren hat die klassische Struktur (S&H-Block + Arithmetik-Block). Die Korrektur der OPV-Fehler erfolgt nach dem Verfahren der Ladungsaddition.

Die Korrekturphasen konnten soweit verdichtet werden, dass ebenfalls nur 3 Phasen/Bit benötigt werden. Die o.g. Nachteile können u.a. durch genauen Nachweis der Größe der notwendigen Error-Messkapazitäten mit Hilfe der VHDL-AMS-Verhaltenssimulation vermieden werden. Es ergibt sich hier z. B. ein ideales Korrekturverhältnis von $C_e = 2.03 \cdot C_x$.

Das Prinzip benötigt 18 Kapazitäten und 92 Schalter für ein „Fully-Differential-Design“ (dazu im Vergleich ADU2 : 20 Kapazitäten und 96 Schalter). Der Vorteil gegenüber dem zweistufigen-zyklischen Pipelineverfahren liegt im geringeren Bauelementeaufwand; nachteilig sind die zusätzlichen Matchinganforderung bezüglich der Errormesskapazitäten. Wenn der relative Fehler 1% nicht überschreitet, wird eine Linearität für 14 Bit Auflösung erreicht.

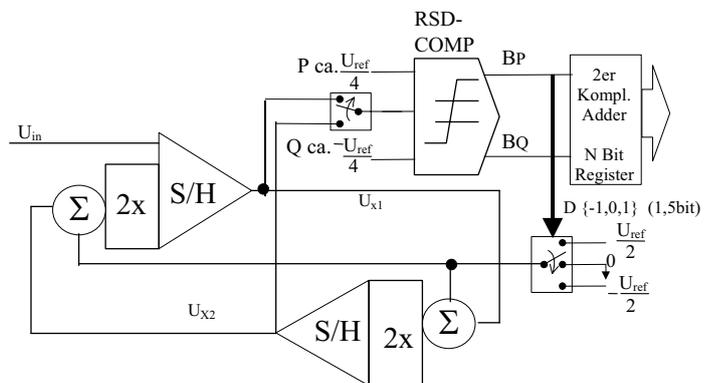


Abb. 2: Prinzip-Blockschaltbild des zyklischen zweistufigen Pipeline RSD-ADU

Ausblick

Nach endgültiger Entscheidung wird eines der genannten SC-ADU-Systeme im Jahr 2003 im Rahmen des o.g. Projektes als Chipdesign realisiert werden.

Ansprechpartner:
Dipl.-Ing. Reinhard Kindt
Tel. +49 (361) 6632531
Email: reinhard.kindt@imms.de

Dipl.-Ing. Richard Ižák
Tel. +49 (361) 6632530
Email: richard.izak@imms.de

Symbolische Analyse von Analogschaltungen

Zielstellung

Die Simulation elektrischer Netzwerke beim Entwurf analoger und digitaler Systeme wird heute meist mit numerischen Simulationsprogrammen wie SPICE, Spectre, u.a. durchgeführt. Sie können das Verhalten der Schaltung bereits vor der Fertigung genau simulieren und sparen damit Zeit und Kosten.

Die Simulationsergebnisse liegen in Form von Zahlentabellen vor und können grafisch als Diagramm dargestellt werden. Die Ergebnisse lassen aber kaum Rückschlüsse auf die Zusammenhänge zwischen Schaltungseigenschaften und Entwurfparametern zu. Der Einfluss einzelner Parameter kann mit Mehrfachsimulationen nur in beschränktem Umfang ermittelt werden. Die numerische Simulation ist mit diesen Eigenschaften mehr ein Werkzeug zur Verifikation. Am Anfang einer Entwicklung sind aber die qualitativen Zusammenhänge zu beachten, die nur mit analytischen Berechnungen zu gewinnen sind.

Analytische Berechnungen sind auf Computern noch wenig verbreitet und wurden deshalb in der Vergangenheit oft manuell durchgeführt. Damit ist aber die Anwendung auf einfache Schaltungen beschränkt, da die Komplexität der Übertragungsfunktionen mit der Anzahl der Bauelemente sehr schnell steigt.

Ein neuer Ansatz ist die symbolische Analyse mit dem Programm „Analog Insydes“, das vom ITWM entwickelt wurde und im Rahmen des Forschungsprojekts ANASTASIA* dem IMMS zur Verfügung gestellt wurde. Analog Insydes ist als Add-On des Computeralgebraprogramms „Mathematica“ implementiert.

Symbolische Analyse

Ausgangspunkt der symbolischen Analyse ist eine Netzliste mit symbolischen Elementparametern. Diese kann mit einem Texteditor erstellt oder mit einem Zusatzmodul aus SpectreS (Cadence) oder SPICE Netzlisten importiert werden. Die Simulation wird zweckmäßig erst numerisch durchgeführt, um sicherzustellen, dass das Ergebnis mit dem des numerischen Simulators übereinstimmt (Abb. 1). Eine exakte symbolische Analyse ist nur für sehr kleine Schaltungen möglich und sinnvoll, da die Komplexität der Übertragungsfunktionen exponentiell mit der Anzahl der Netzlistenelemente steigt. Analog Insydes bietet verschiedene Approximationsverfahren, die durch Vernachlässigung insignifikanter Koeffizienten die Übertragungsfunktionen soweit vereinfachen, dass eine qualitative Bewertung möglich wird.

Forschungsverlauf und -stand

Analog Insydes wurde beim IMMS erstmalig zur Analyse eines Transimpedanzverstärkers (TIV) in einer DVD-Leseverstärkerschaltung eingesetzt. Optimierungsziel war vor allem die Erhöhung der Bandbreite und die Beseitigung einer Resonanzspitze. Die Netzliste im SpectreS Format wurde mit dem Infineon Modul importiert, wobei einige manuelle Anpassungen erforderlich waren. Um die Komplexität der Gleichungen zu verringern, wurden einige Schaltungsteile durch einfachere Modelle ersetzt. Mit Hilfe der Matrixapproximation konnten dann aussagekräftige Übertragungsfunktionen berechnet werden.

Als relevante Parameter wurden die Kapazität eines Koppelkondensators und die Gatekapazität eines Level-Shifter Transistors ermittelt.

Die Simulation nach Eliminierung der Koppelka-

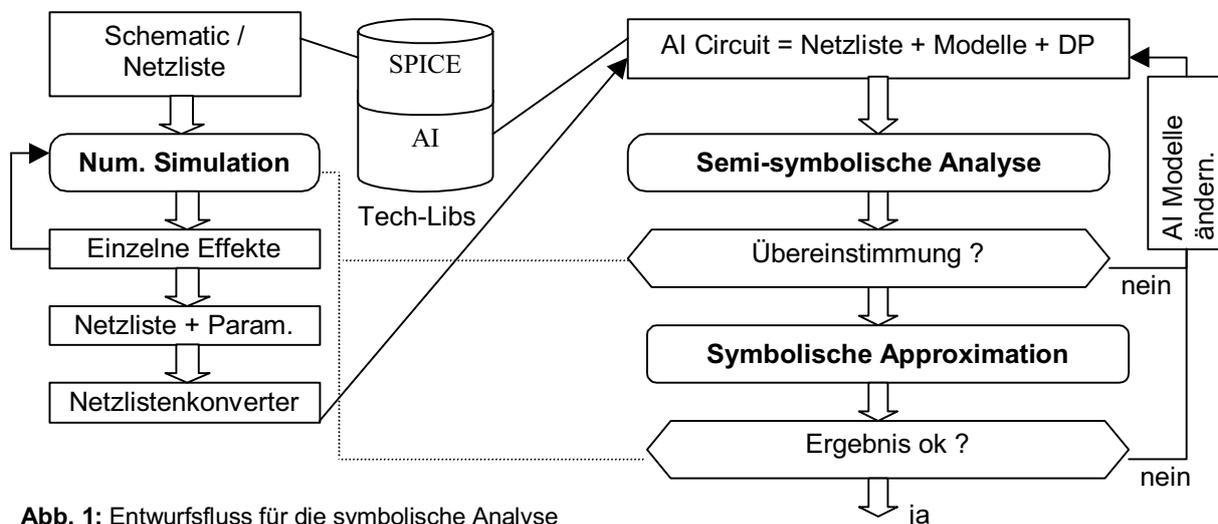


Abb. 1: Entwurfsfluss für die symbolische Analyse

* Das diesem Bericht zugrundeliegende Vorhaben wurden mit Mitteln des Bundesministeriums für Bildung und Forschung unter dem Förderkennzeichen 01M3050D gefördert. Die Verantwortung für den Inhalt dieser Veröffentlichung liegt beim Autor.

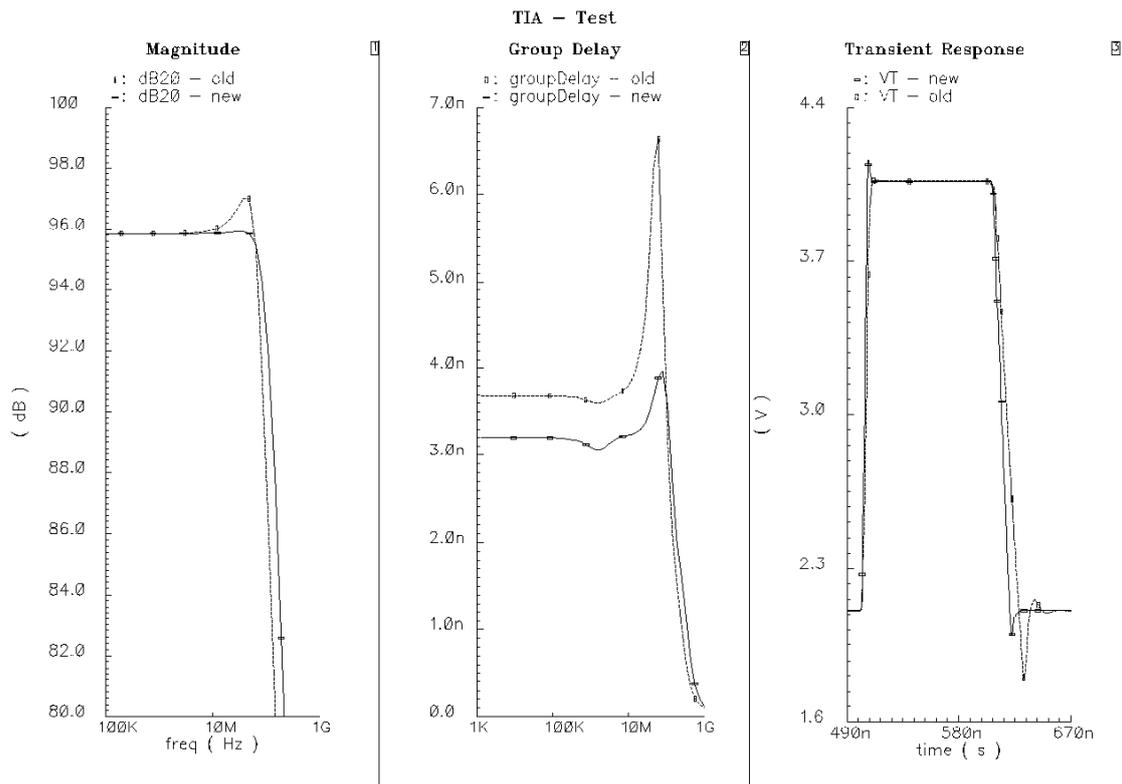


Abb. 2: Simulationsergebnisse vor und nach der Optimierung

pazität und Verringerung der Transistorgröße (s. Abb. 2) zeigt eine um 23 MHz erhöhte Bandbreite, die Reduzierung der Resonanzspitze, sowie die Verbesserung von Gruppenlaufzeit und des Transientverhalten.

Weitere Analysen wurden mit einem folded cascode OPV aus einer SC-Schaltung und einem Regelverstärker aus einer Stromversorgungsschaltung in SOI - Technologie durchgeführt.

Ausblick

Da bereits mehrere Iterationen mit konventionellen Methoden erfolglos waren, demonstriert das Ergebnis die Leistungsfähigkeit der neuen Verfahrensweise. Es wird deshalb angestrebt, die symbolische Analyse und die Designzentrierung zur Effektivitätssteigerung umfassend einzusetzen.

Zur Zeit ist für die Anwendung der Symbolischen Analyse ein relativ hoher Vorbereitungs Aufwand notwendig. Es müssen die Analog-Insydes-Modelle für die jeweilige Technologie erstellt werden, die Netzlisten von SpectreS müssen manuell angepasst und Schaltungsteile vereinfacht werden.

Die Symbolische Analyse ist kein Verfahren, das auf Knopfdruck auswertbare Ergebnisse zeigt. Außer schaltungstechnischen Kenntnissen ist viel mathematisches und anwendungsspezifisches Know-How erforderlich, um von einer Netzliste und den numerischen Simulationsergebnissen zu einer qualitativen Bewertung zu kommen. Aus diesem Grund wird die symbolische Analyse

nicht von allen Schaltungsentwicklern angewendet, sondern als Dienstleistung - auch für externe Partner - angeboten.

In der Fortsetzung des ANASTASIA-Projekts ist die Entwicklung von Tools geplant, die den manuellen Aufwand verringern und eine Einbindung der symbolischen Analyse in den Designflow des IMMS und seiner Industriepartner ermöglichen.

Ansprechpartner:

Dr.-Ing. Volker Boos

Tel.: +49 (361) 6632552

Email: volker.boos@erfurt.imms.de

Dipl.-Ing. Sascha Thoß

Tel.: +49 (361) 6632532

Email: sascha.thoss@erfurt.imms.de

Integrierte optoelektronische Sensoren für DVD Blue-ray

Zielstellung

Forschungsziel des Projektes „DVD Bluespot“ ist die Entwicklung von integrierten optoelektronischen Sensoren für die nächste Generation von DVD-Laufwerken, die mit blauem Laser-Licht arbeiten. Der Übergang von roten zu blauen Abtastsystemen ermöglicht eine wesentliche Steigerung der Aufzeichnungsdichte und Kapazität einer DVD: DVD mit rotem Licht - 4,7 GB; DVD mit blauem Licht - 27 GB.

Das Projekt wird in Zusammenarbeit mit dem Industrie-Partner MELEXIS GmbH (Erfurt) bearbeitet.

Forschungsverlauf und -stand

Im vergangenen Jahr wurde eine 1-Kanal Version des optischen Sensors entwickelt und hergestellt. Der Entwurf wurde unter Berücksichtigung folgender Aspekte ausgeführt:

- Design eines Systems mit hoher Empfindlichkeit ($30 \text{ mV}/\mu\text{W}$) für blaues Licht ($\lambda = 405 \text{ nm}$) und damit sehr hoher effektiver Transimpedanz des Systems ($200 \text{ k}\Omega$)
- Auswertung von Fotoströmen im 100 nA -Bereich
- hohe Bandbreite ($> 100 \text{ MHz}$) sowie slew rate
- kleine Offsetspannung und hohe Linearität
- Entwicklung eines flexiblen Konzepts mit der Möglichkeit, die Transimpedanz zu ändern und die Verstärkung in mehreren Stufen umzuschalten

Es wurde eine mehrstufige Verstärkerkonfiguration entwickelt, bei der der von der Fotodiode generierte Fotostrom, durch 3 Stufen verstärkt und in eine Spannung umgewandelt wird. Diese Stufen sind:

1. Stromverstärker (Current Amplifier)
2. Transimpedanzverstärker (Transimpedance Amplifier)
3. Spannungsverstärker (Voltage Amplifier)

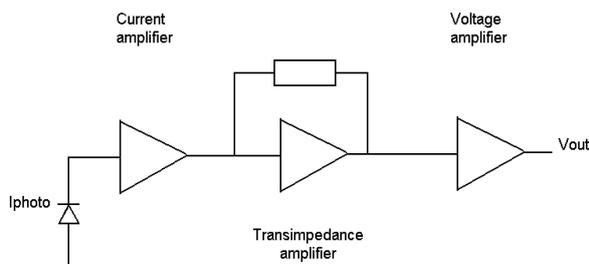


Abb. 1: Blockschaltung

Der Vorteil dieser Topologie liegt darin, dass bei jeder Stufe eine Änderung der Verstärkung

möglich ist. Jede Stufe kann für große Geschwindigkeit optimiert werden, wodurch eine sehr schnelle Schaltung mit sehr hoher Empfindlichkeit erreicht werden kann. Gleichzeitig hat man mit separaten Umschaltkonzepten für jede Stufe die Möglichkeit, eine Schaltung mit mehr Freiheitsgraden zu entwerfen und die Eigenschaften des Sensors an spezifische Bedürfnisse und optische Gegebenheiten des konkreten DVD-Pickups anzupassen.

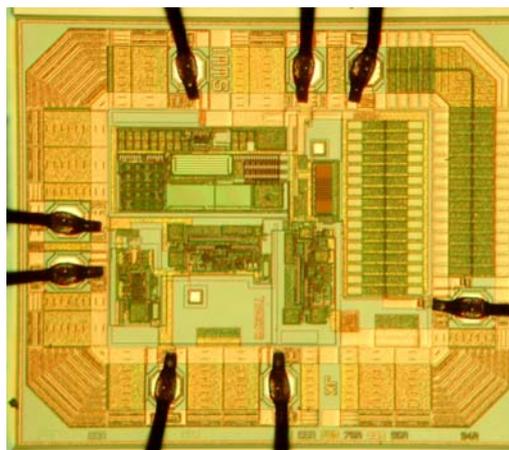


Abb. 2: Chip mit 1 Kanal

Damit ist der Sensor in verschiedenen optischen Systemen einsetzbar und kann z. B. an Bedürfnisse der Hersteller von optischen DVD-Pickups für den Schreib-Lese-Betrieb angepasst werden. Weiterhin kann die verschiedene Reflektivität der DVD ausgeglichen werden. Bei dem entwickelten System wurde eine spezielle Finger-Fotodiode verwendet. Dabei konnte eine Bandbreite im Bereich von 110 MHz erreicht werden mit einer Empfindlichkeit von $30 \text{ mV}/\mu\text{W}$. Eine weitere Optimierung des entworfenen Systems ist geplant.

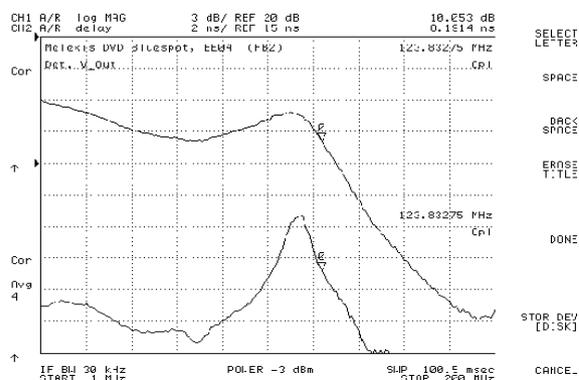


Abb. 3: AC-Messresultate

Gleichzeitig wurde eine Spezifikation für ein in 3 Stufen umschaltbares System ausgearbeitet (TH7525), die zukünftige Anforderungen an mehrkanalige Sensoren für DVD-Blue-Systeme erfüllt.

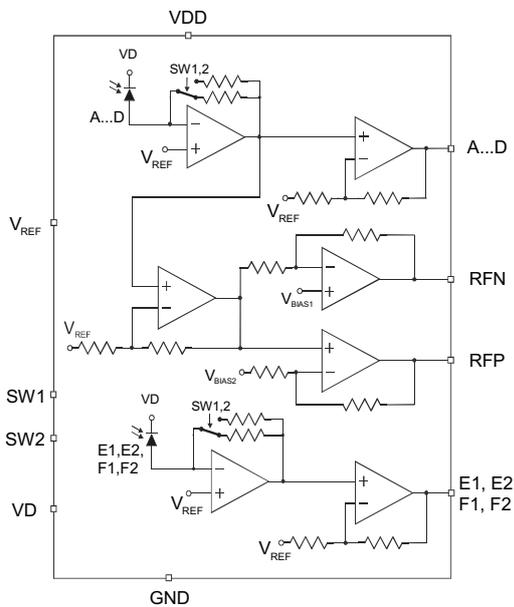


Abb. 4: TH7525

Ausblick

Das Ziel der weiteren Arbeiten ist der Entwurf eines kompletten Pickups mit 8 Kanälen (4 schnelle + 4 langsame) mit 3 umschaltbaren Stufen. Die ersten Engineering-Samples werden 2003 verfügbar sein.

Ansprechpartner:

Dipl.-Ing. Juraj Klein

Tel.: +49 (361) 6632541

Email: juraj.klein@imms.de

Integrierte optische Empfänger und Sender für die optische Datenübertragung

Zielstellung

Das Forschungsziel des Projektes "Low Cost Data Comm" ist der Entwurf eines preiswerten optischen Datenübertragungssystems zur Anwendung in industriellen Umgebungen, die besonders sichere und schnelle Datenübertragung erfordern. Das System beinhaltet die Glasfaserübertragungsstrecke und das Koppelmodul zur optisch-elektrischen Signalumsetzung. Im Koppelmodul wird mit einem optischen Strahlteiler das Licht aus der Faser auf den Empfänger geleitet sowie das von der VCSEL-Diode erzeugte Licht in die gleiche Faser eingekoppelt. Der integrierte optische Empfänger, die VCSEL-Diode und deren Ansteuerschaltkreis sind ebenfalls im Koppelmodul enthalten.

Die Aufgaben des IMMS in diesem Projekt sind der Entwurf der integrierten Schaltungen zur Ansteuerung der VCSEL-Diode und des Datenempfängers.

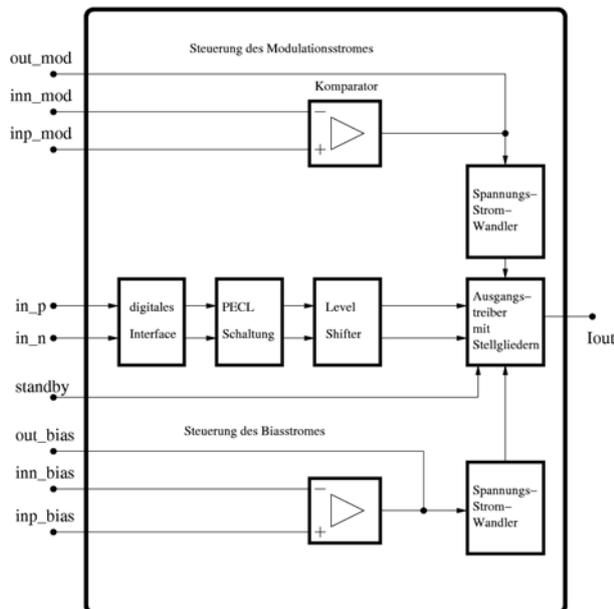


Abb. 1: Blockschaltbild des VCSEL-Treibers

Forschungsverlauf und -stand

Im Jahr 2002 wurde im Rahmen dieses Projektes ein Ansteuerschaltkreis für die zu verwendenden VCSEL-Dioden von 635 nm oder 850 nm Wellenlänge entworfen. Der Treiber ist in der Lage, einen Strom von maximal 20 mA zu modulieren bei einem Biasstrom von maximal 12 mA. Diese beiden Ströme sind mit externen Spannungen einstellbar, um so eine

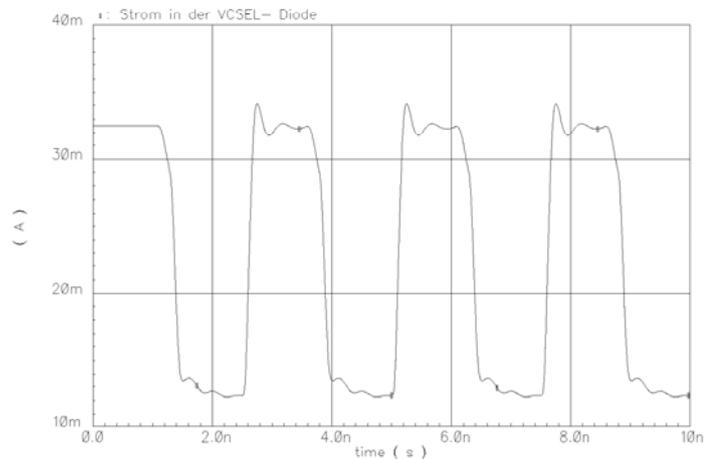


Abb. 2: Ergebnis der Simulation des VCSEL-Treibers bei einem rechteckigen Eingangssignal mit 400 MHz

Regelung der abzugebenden Lichtleistung realisieren zu können. Für die Datenrate sind 625 MB/s vorgesehen. Entsprechend dieser Grenzwerte wurde der Treiberschaltkreis entworfen und ist derzeit in der Präparation. Abbildung 1 zeigt die Blockschaltung des VCSEL-Ansteuerschaltkreises. Die Eingangssignale werden gegenphasig mit PECL-Pegel eingespeist. Es ist ein standby-Eingang vorhanden, um den Ausgangsstrom in der VCSEL-Diode vollständig abschalten zu können.

In Abbildung 2 ist ein Simulationsergebnis dieser Schaltung bei einem symmetrischen, rechteckförmigen Eingangssignal mit einer Frequenz von 400 MHz dargestellt.

Ausblick

Derzeit werden die Entwurfsarbeiten an einem Datenempfänger fortgesetzt, um ein funktionsfähiges Demonstrationssystem für die physikalische Übertragungsstrecke zu realisieren. Nachdem der VCSEL-Diodenansteuerschaltkreis messtechnisch charakterisiert ist, wird ein Demonstrator für eine optische Datenübertragungsstrecke mit 625 MB/s realisiert.

Ansprechpartner:
Dipl.-Ing. Steffen Lange
Tel.: +49 (361) 6632540
Email: steffen.lange@imms.de

Vollständig integrierter LC-VCO

Zielstellung

Die Arbeitsschwerpunkte im Bereich HF-Schaltungsdesign liegen unter anderem in der Entwicklung von Schaltkreisen für Anwendungen in den lizenzfreien ISM-Funkbändern bei 433 MHz, 868 MHz und 2.4 GHz. Eine Schlüsselkomponente sind hier die Oszillatoren für die Erzeugung der Referenzfrequenz. Aufgrund der geringen Güte integrierter Induktivitäten und Problemen bei der Modellierung wurden vollständig integrierte LC-Oszillatoren bisher kaum verwendet. Durch die Weiterentwicklung der Entwurfswerkzeuge und der Integrationstechnologien ist der Einsatz von vollständig integrierten LC-Oszillatoren jetzt möglich geworden.

Vorteile gegenüber bisherigen Lösungen sind beispielsweise:

- ein deutlich niedrigeres Phasenrauschen im Vergleich zu Ringoszillatoren
- geringere Kosten und bessere Reproduzierbarkeit gegenüber LC-Oszillatoren mit externen Induktivitäten

Der hier entworfene LC-VCO ist für den Einsatz in einem Transmitter bei 868 MHz vorgesehen. Er soll den bis jetzt verwendeten Ringoszillator ersetzen. Aufgrund des geringeren Phasenrauschens ist damit eine deutlich höhere Ausgangsleistung bei gleichbleibenden Störaussendungen erreichbar.

Ergebnisse

Die LC-VCOs werden in einer 0.6 μm BiCMOS-Technologie realisiert. Die integrierten Induktivitäten wurden am IMMS entwickelt und optimiert. Es hat sich herausgestellt, dass die Spulen differentiell eingesetzt werden sollten, da die differentielle Güte um etwa 20% größer ist. Es wurden verschiedene VCO-Topologien untersucht, bei denen das gewährleistet ist.

Zwei Topologien wurden für detaillierte Untersuchungen und Optimierungen ausgewählt. Variante A ist eine einfache Topologie, die auf der Pierce-Schaltung basiert. Variante B ist eine differentielle NIC-Schaltung mit Common-Mode-Feedback zur Stabilisierung des Arbeitspunktes. Variante B erreicht teilweise bessere Parameter, durch die höhere Komplexität sind aber eher Abweichungen zur Simulation zu erwarten.

| | Variante A | Variante B |
|-----------------------------------------------------|------------|------------|
| Stromaufnahme | 1.3mA | 1.9mA |
| Tuningbereich $V_i=0.5\text{ V} \dots 2.0\text{ V}$ | 25% | 12% |
| Frequenzabweichung Temperatur und Technologie | 20% | 15% |
| Phasenrauschen @ 10kHz | <-78dBc/Hz | <-81dBc/Hz |

Tab. 1: Simulationsergebnisse

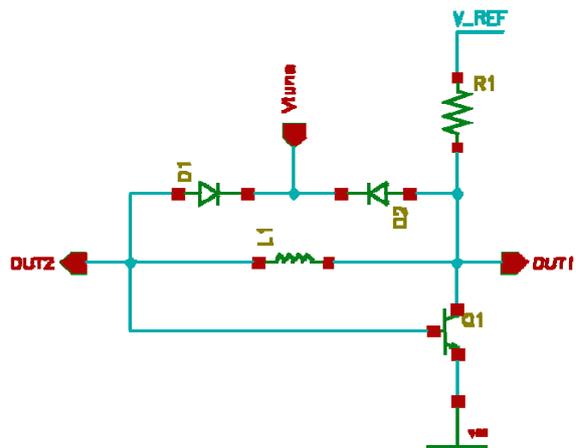


Abb. 1: Variante A

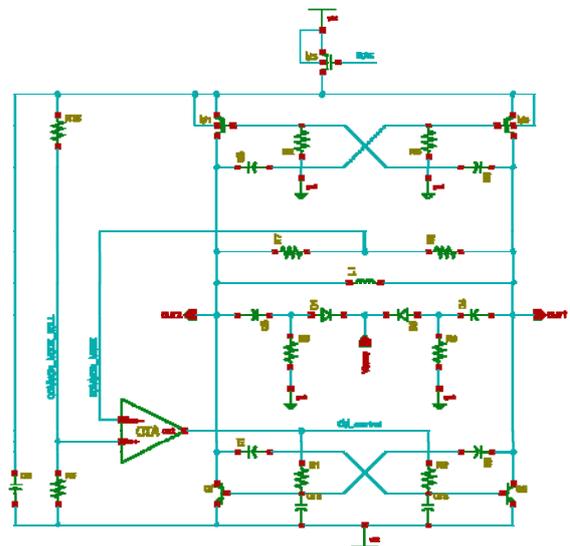


Abb. 2: Variante B

Ausblick

Als nächstes werden beide VCOs sowohl einzeln als auch in einem Transmitter auf einem Testchip realisiert. Damit können die Simulationsergebnisse verifiziert sowie nicht simulierbare Effekte überprüft werden.

In den Simulationsergebnissen ist zu erkennen, dass der Tuningbereich wahrscheinlich nicht ausreicht, die Abweichungen durch Temperatur und Technologieschwankungen zu kompensieren. Deshalb wird die Untersuchung von lokalen Kalibrieransätzen für LC-VCOs ein Schwerpunkt der Arbeiten im Jahr 2003 sein.

Ansprechpartner:

Dipl.-Ing. Peter Teichmann

Tel.: +49 (361) 6632510

Email: peter.teichmann@erfurt.imms.de

Modellierung von Mikroprozessorsystemen

Zielstellung

Die Komplexität zukünftiger mikrocontrollergesteuerter Aktor-Sensor Systeme wird ebenso wie in anderen Bereichen stark zunehmen, was völlig neue Methoden und Entwicklungsverfahren bedingt. Um Entwurfsfehler zu vermeiden, wird es nötig sein, das Gesamtsystem auf einer einheitlichen Plattform zu verifizieren. Dabei sollten die Sichtweisen des Softwareentwicklers ebenso berücksichtigt werden, wie die des Hardwareentwicklers. Im Forschungsprojekt SpeAC (Medea+ Projekt A508) wurde deshalb in Zusammenarbeit mit der Melexis GmbH, Erfurt, eine Co-Simulation zwischen einer grafischen Systembeschreibung und einem Mikroprozessor-Simulator untersucht.

Forschungsverlauf

Nach einer Recherche zu den auf dem Markt befindlichen grafischen Systementwicklungstools wurde das Programm Matlab/Simulink von Mathworks ausgewählt. Als Befehlsimulator wurde der Softwaresimulator des Melexis 16-Bit-Mikrocontrollers „MLX16“ verwendet.

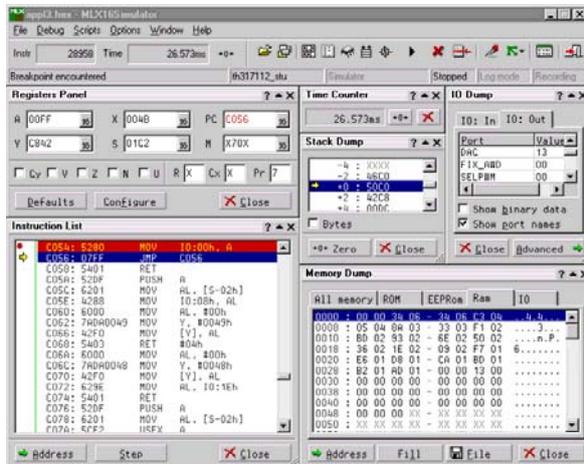


Abb. 1: Bildschirm des MLX16 ISS

Dieser ISS (Instruction Set Simulator) ist mit einem COM (Component Object Model) Interface ausgestattet. Über dieses Interface sind nahezu alle Funktionen des ISS als C++ - Funktionsaufrufe von außerhalb nutzbar. Über eine S-Funktion kann der ISS damit in Simulink eingebunden werden. Dabei handelt es sich um für Simulink kompilierten Binärcode. Die Einbindung des ISS in die Simulink-Umgebung ist parametrisierbar in Bezug auf Eingänge, Ausgänge und Interruptquellen. Die Parametrisierung erfolgt über eine Datei. Ein grafisches Konfigurationswerkzeug generiert daraus die entsprechenden Steuerdateien für die Simulation. Die zeitliche Synchronisation

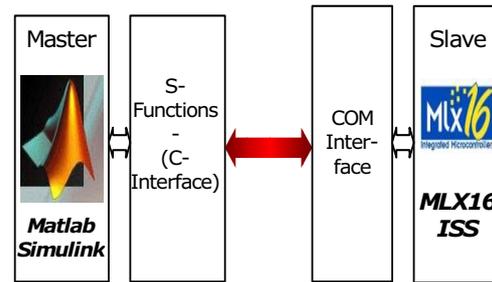


Abb. 2: Schnittstelle ISS - Simulink

zwischen beiden Programmen erfolgt taktgenau. Um eine möglichst hohe Simulationssgeschwindigkeit zu erreichen, wird der Datenaustausch nur dann vorgenommen, wenn der Prozessor Daten sendet oder abrufen, die in der Simulink-Umgebung verwendet werden.

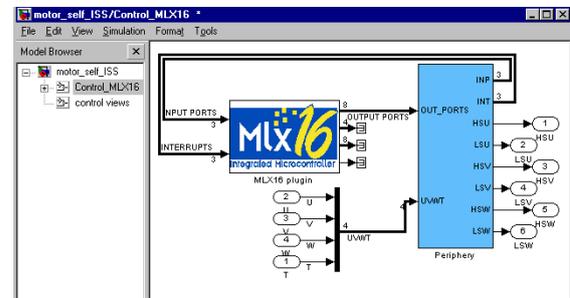


Abb. 3: Ansicht des ISS in Simulink

Anwendungsbeispiel Pumpenregelung

In modernen Fahrzeugen soll zukünftig eine bedarfsgerechte Benzinpumpensteuerung zum Einsatz kommen und heutige Systeme mit Rücklauf ersetzen. Dabei werden sensorlose 3 Phasen BLDC (brushless DC) Motoren zum Einsatz kommen. Die Vorteile dieser Motoren sind eine höhere Energieeffizienz und eine längere Lebensdauer bedingt durch nicht vorhandene Schleifkontakte. Nachteilig ist eine komplexe Ansteuerung, die den aktuellen Drehwinkel des Motors berücksichtigen muss. Dieser Winkel kann durch Auswertung der Induktionsspannung in der unbestromten Spule ermittelt werden. Eben jene Motoransteuerung sowie weitere Funktionen werden von einem Mikrocontroller realisiert, der über zugeschnittene, integrierte Peripheriebausteine verfügt. In der Anwendung wird der Motorlauf gesteuert und überwacht. Auf diese Weise lassen sich Regelkreisläufe entsprechend realisieren.

Im Projekt konnte gezeigt werden, wie man ein solches komplexes System grafisch modelliert und unter Nutzung der Simulatorkopplung die Anwendungssoftware ohne Änderungen simulieren und damit verifizieren kann. Exemplarisch wurde der Motoranlauf mit der Originalsoftware überprüft (s. Abb. 5).

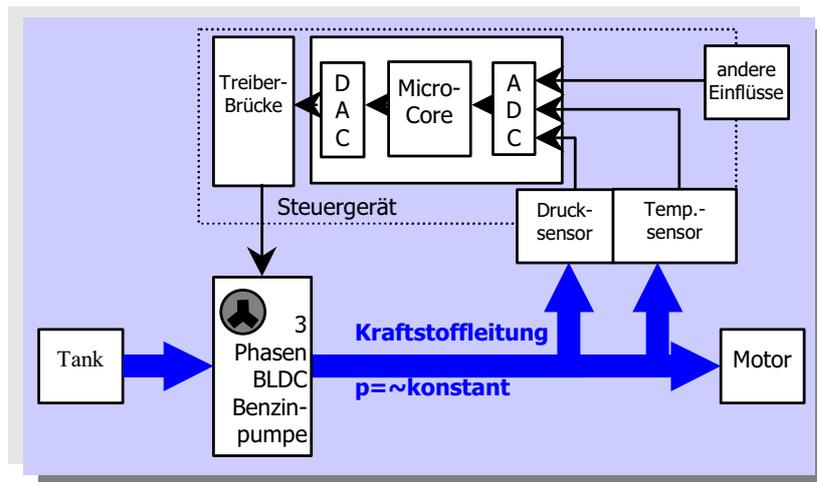


Abb. 4: Prinzip der Benzinpumpenregelung

Ausblick

Momentan ist die Einbindung des Melexis MLX4 Simulators in Arbeit. Hier handelt es sich um einen 4 Bit dual oder single Task Mikrocontroller. Die Anbindung wird analog der des MLX16 vorgenommen.

Eine Umsetzung des MLX16 für SystemC™ ist ebenfalls angedacht. Hierbei wird eine höhere Simulationsgeschwindigkeit und eine Unabhängigkeit von der Simulationssoftware erwartet.

Ansprechpartner:
 Dipl.-Ing. (FH) Mario Hahn
 Tel.: +49 (361) 6632551
 Email: mario.hahn@erfurt.imms.de

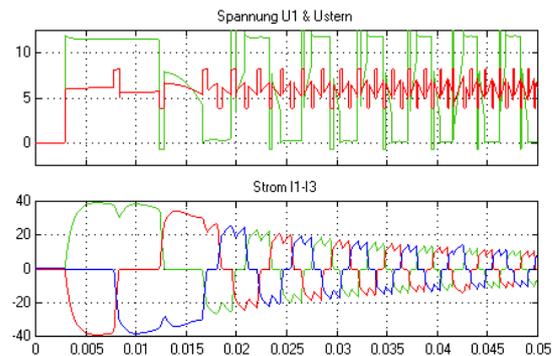


Abb. 5: Simulationsergebnisse des Motoranlaufs

Formale Verifikation von Mixed-Signal Schaltungen

Zielstellung

Integrierte Schaltungen werden zunehmend in sicherheitskritischen Anwendungen, z.B. im Automobilbau, eingesetzt. Die daraus resultierende Forderung höchste Entwurfsqualität bei geringsten Kosten einzuhalten, wird durch die ständig steigende Komplexität der Schaltungen erschwert. Das Problem ist heute vor allem die heterogene Struktur der Schaltungen. Auf einem Chip sind neben den Digitalblöcken auch analoge Komponenten (z.B. Verstärker und Analog/Digital-Umsetzer) und Leistungselektronik integriert. Bisher können solche Schaltungen nur durch aufwändige Mixed-Signal Simulationen verifiziert werden. Um jedoch die korrekte Funktion einer Schaltung unter allen Umständen zu sichern, sind viele Testpattern notwendig, die eine zu große Simulationszeit erfordern. Eine vollständige Testabdeckung wird trotzdem nicht erreicht. Einen Ausweg aus dieser Situation bietet die formale Verifikation, bei der durch eine mathematisch exakte Beweisführung die Erfüllung bestimmter Eigenschaften durch eine Schaltung sichergestellt wird.

Forschungsverlauf und -stand

Im Forschungsprojekt VALSE^{*} werden Werkzeuge zur formalen Verifikation weiterentwickelt und ihre Anwendung vorbereitet. Die Firma Infineon Technologies AG hat mit CVE (Circuit Verification Environment) ein Werkzeug für die formale Verifikation digitaler Systeme geschaffen. Das CVE Tool *Gateprop* ist ein Model-Checker, der den Projektpartnern im Rahmen des Förderprojektes zur Verfügung gestellt wurde. Im IMMS wurde Gateprop in enger Zusammenarbeit mit der Firma Melexis GmbH auch auf die Verifikation von mixed-signal Systemen angewendet, indem die

analogen Komponenten durch geeignete Digitalmodelle ersetzt wurden.

Model-Checking

Mit Model-Checkern können sogenannte Properties eines digitalen Systems gegen eine digitale Verhaltensbeschreibung (VHDL oder Verilog) verifiziert werden. Die Properties beschreiben das Verhalten des zu verifizierenden Systems mit mathematischer Exaktheit und sind für Computer interpretierbar. Gateprop kann verifizieren, dass die Properties in jedem möglichen Systemzustand erfüllt werden.

Da Gateprop prinzipbedingt nur digitale Schaltungen verifizieren kann, ist eine direkte Verifikation der analogen Komponenten und ihres Zusammenwirkens mit den digitalen Modulen nicht möglich. Für mixed-signal Designs musste bisher auf die traditionelle mixed-signal Simulation zurückgegriffen werden. Die Spezifikation wurde in Testpattern umgesetzt, die per Simulation gegen die Netzliste der mixed-signal Schaltung verifiziert werden (s. Abb. 1(a)).

Verifikation von Analogzellen

Das korrekte Zusammenwirken der analogen mit den digitalen Blöcken kann jedoch mit Gateprop verifiziert werden, wenn für die analogen Blöcke entsprechende Digitalmodelle erstellt werden. Nach der Verifikation müssen diese Digitalmodelle durch die, per Simulation verifizierten, Analogschaltungen ersetzt werden.

Um die Vorteile der formalen Verifikation auch für mixed-signal Designs zu nutzen, wird zunächst die Spezifikation des Systems in Properties beschrieben (s. Abb. 1(b)). Für das zu verifizierende mixed-signal System wird eine rein digitale Verhaltensbeschreibung erstellt, indem die analogen Komponenten des Systems in digitalisierte Ver-

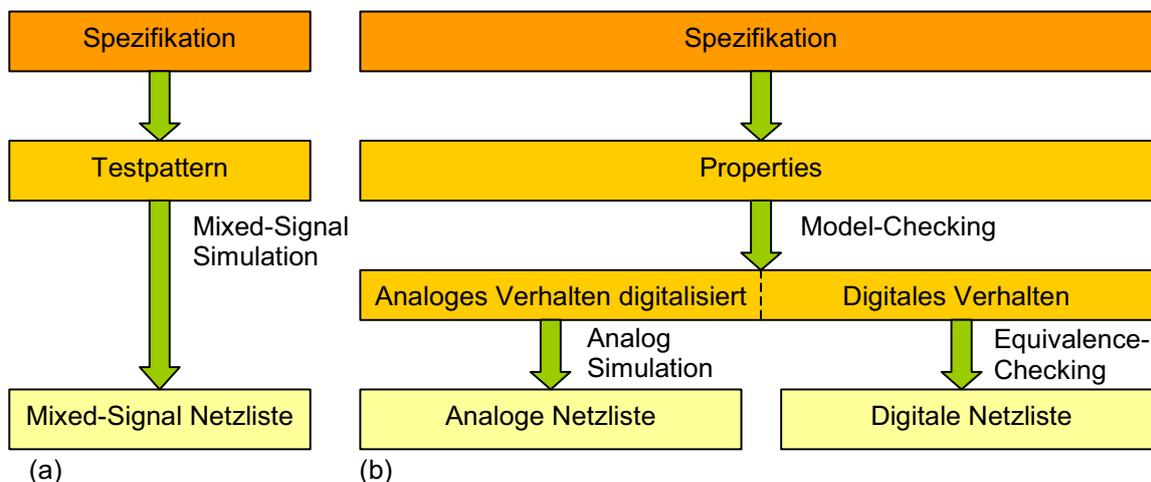


Abb. 1: Entwurfsfluss für Mixed-Signal Systeme: (a) Mixed-Signal Simulation (b) Model-Checking.

^{*}Das diesem Bericht zugrundeliegende Vorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter dem Förderkennzeichen 01M305D gefördert. Die Verantwortung für den Inhalt dieser Veröffentlichung liegt beim Autor.

haltensmodelle transformiert werden. Mit Gateprop werden dann die Properties per Model-Checking gegen das digitalisierte Systemverhalten verifiziert.

Die digitalisierten Verhaltensmodelle der analogen Komponenten müssen per Anlogsimulation gegen die Netzlisten der analogen Schaltung verifiziert werden. Der Digitalteil kann per Equivalence-Checking gegen die digitale Netzliste verifiziert werden. Der Vorteil dieses Entwurfsflusses ist, dass die aufwändige Simulation jetzt nicht mehr auf Systemebene, sondern nur noch für die einzelnen Analogkomponenten erforderlich ist.

Die analogen Signale werden durch skalierte Integerwerte abgebildet. Die Wortbreite der Integer-Signale wird durch die im analogen Bereich geforderte Genauigkeit bestimmt. Die Funktion der Analogblöcke wird jetzt durch arithmetische Operationen mit diesen Integersignalen modelliert. Das Verifikationsmodell eines Verstärkers mit der Verstärkung G ist in Abb. 2 gezeigt. Der Verstärker wird durch einen digitalen Multiplikationsblock ersetzt.

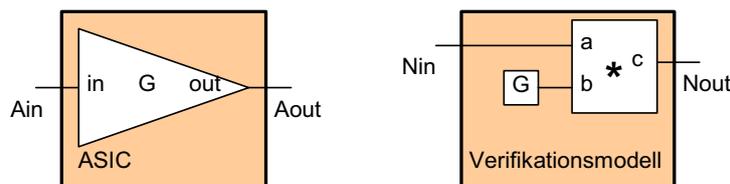


Abb. 2: Verifikation von Analogzellen: (a) Verstärker (b) Verifikationsmodell des Verstärkers.

Ergebnisse

Die entwickelten Verifikationsmethoden wurden an einem Controller-IC zur Steuerung eines Elektromotors erprobt. Der Analogteil des ICs besteht aus einem Array von programmierbaren Verstärkern, Analogmultiplexern und einem A/D-Umsetzer. Der Digitalteil enthält u.a. Zähler zur zeitlichen Ablaufsteuerung und ROM zur Konfiguration.

Durch Gateprop konnte das Verhalten der Schaltung bei Berücksichtigung der Toleranzen der analogen Komponenten verifiziert werden. Ebenso konnte das Verhalten der Schaltung bei Übersteuerung der analogen Eingänge überprüft werden. Die Verifikationszeiten für den Analogteil lagen im Bereich von wenigen Sekunden.

Die vorgestellte Methode hat ihre Grenzen bei komplizierten, mathematischen Abhängigkeiten im Analogteil. Für stark nichtlineare Kennlinien werden deren Digitalmodelle so komplex, dass eine direkte Verifikation mit den derzeit vorhandenen Werkzeugen schwierig erscheint. Diese Analogzellen können nur durch vereinfachte Digitalmodelle verifiziert werden.

Ausblick

Zur Zeit werden die Analogzellen manuell durch Digitalmodelle ersetzt, was natürlich fehleranfällig ist. Abhilfe kann eine Bibliothek für die Analogzellen bringen, welche die Digitalmodelle bereitstellt. Die Analogzellen können dann automatisch durch die Digitalmodelle ersetzt werden.

In zukünftigen Projekten soll Gateprop auch auf ROM-gesteuerte Prozessoren angewendet werden, um diese Schaltungen gemeinsam mit den ROM-Inhalten zu verifizieren.

Ansprechpartner:

Dipl.-Ing. Christian Lang

Tel.: +49 (361) 6632550

Email: christian.lang@erfurt.imms.de

HF-Design von GPS- und GSM-Komponenten

Zielstellung

Neben dem Schaltungsdesign ist das auf einer Leiterplatte (PCB) realisierte Layout von entscheidender Bedeutung für deren Performance. Das trifft insbesondere auf den Bereich des analogen und des HF-Designs zu. Aber auch in der digitalen Schaltungstechnik, wo Schaltfrequenzen von 100 MHz und Impulsflanken unter 1 ns durchaus üblich sind, können die Leiterzüge auf einem Board nicht mehr als einfache ideale Verbindungen betrachtet werden.

Forschungsverlauf und -stand

Im Rahmen des Design-Flows stellt die Boardentwicklung einen wesentlichen Schritt dar. Eine funktionierende Schaltung auf dem Schematic-Level führt nicht zwangsläufig zu einer funktionierenden Schaltung auf dem realisierten Board. Viele Parameter, welche die Funktion beeinflussen, werden bei Simulationen meist ungenügend berücksichtigt. Die Funktionsfähigkeit einer Schaltung kann negativ beeinflusst werden durch:

- Verkopplungen und Übersprechen zwischen den Leitungen
- Dämpfung, Reflexion, Laufzeit auf Leitungen
- Parasitäre Kapazitäten und Induktivitäten von Leitungen und Bauelementen
- Ungünstige Masse- und Betriebsspannungszuführungen

Daraus resultierende Probleme äussern sich z. B. als Schwingneigung, mangelnde Selektion oder Empfindlichkeit, Impulsverzerrungen oder unregelmäßig auftretende Störimpulse. Auch die Abstrahlung von elektromagnetischen Wellen oder die Empfindlichkeit gegenüber Einstrahlungen wird von der Realisierung des PCB-Layouts bestimmt. Funkenstörung und EMV, welche die Grundlage für eine CE-Konformität bilden, können nur durch ein überlegtes PCB-Design erzielt werden.

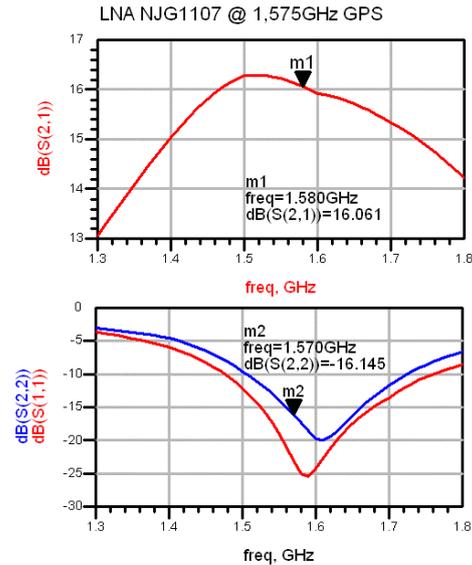


Abb. 2: Verstärkung und Anpassung des LNA ohne SAW-Filter

Durch einen hohen Integrationsgrad, der nur wenige externe Komponenten erfordert, vereinfacht sich der Schaltungsentwurf. So besteht der SiRF-GPS-Chipsatz aus 2 ICs (analoger HF- und Digitalteil) und erfordert je nach Anwendung nur eine aktive Antenne, LNA und ein Frontendfilter als zusätzliche HF-Komponenten. Diese verdienen besondere Beachtung, wenn auf kleinstem Raum der GPS Empfänger mit einem GSM-Modul kombiniert werden soll. Dabei muss der zweckmäßigste Kompromiss zwischen rauschbegrenzter Empfindlichkeit und Großsignalfestigkeit (IP3) gefunden werden. Dazu ist es notwendig, die in der Simulation erhaltenen Daten durch Messungen zu verifizieren (s. Abb. 1). Um bei Ball-Grid-Gehäusen (BGA) mit 0,5 mm Abstand zwischen den Pins ein funktionsfähiges Layout zu erhalten, ist ein Multilayer-Board unumgänglich. Weiterhin bietet die Realisierung von buried Vias/Micro-Vias, die direkt in den Pads platziert werden können, die Möglichkeit, Routing-Ebenen einzusparen. Generell ist es wichtig, die genauen Designregeln mit dem Hersteller vor dem outen der Platine zu klären.

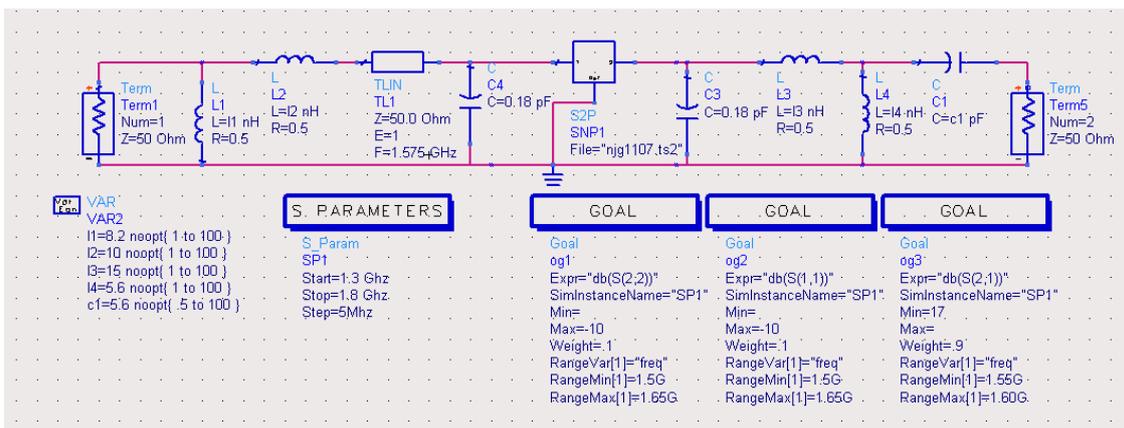


Abb. 1: Simulationssetup für GPS-LNA in ADS (Agilent)

Ergebnisse

In Zusammenarbeit mit der Firma Falcom Wireless Communications GmbH (Lange-wiesen) wurden verschiedene Varianten und Kombinationen von GPS-Empfängern und GSM-Modulen realisiert, wobei der Schwerpunkt auf dem HF-Teil des GPS-Empfängers lag. wurden unterschiedliche MMICs als Vorverstärker (LNA) getestet. Diese waren zur Kompensation der Verluste der HF-Zuleitungen und Frontend-Filter und somit zur Verringerung der Rauschzahl des Gesamtsystems vorgesehen. Als Antennen kamen sowohl integrierte Patch-Antennen als auch abgesetzte Aktiv-Antennen zum Einsatz.

Folgende Zielparameter wurden für das LNA-Design festgelegt:

- Gain > 10 dB
- NF < 2 dB
- SWR < 2
- Selektion > 25 dB (@ 900/1800 MHz)

Um die in den Datenblättern der MMICs angegebenen Parameter zu erreichen, ist ebenfalls eine sorgfältige Auswahl der passiven Komponenten nötig. Insbesondere bei Induktivitäten ist darauf zu achten, dass eine ausreichend hohe Güte Q erreicht wird.

Eine weitere wesentliche Bedingung für das erfolgreiche HF-Layout ist die impedanzkontrollierte Ausführung der Verbindungsleitungen und Übergänge, d. h. dass die HF-Verbindungen als Microstrip- oder Stripline mit definiertem Wellenwiderstand realisiert werden müssen.

Von den untersuchten ICs MAX2641, NJG1103 und NJG1107 lieferte die Schaltung mit dem NJG1107 die besten Ergebnisse (s. Abb. 2). Tabelle 1 zeigt die erreichten Daten, wobei zu bemerken ist, dass bei der Applikation mit abgesetzter aktiver Antenne mit ca. 4m RG-174 Antennenkabel die avisierten Zielparameter ebenfalls erreicht werden.



Abb. 3: Realisierte GPS/GSM-Boards

| Parameter | nur LNA | Aktivantenne |
|-------------|---------|--------------|
| Verstärkung | 16 dB | 10 dB |
| Rauschzahl | 1,3dB | 1,7dB |
| SWR | 1,7 | 1,7 |
| Selektion | >30dB | >30dB |

Tab. 1: Parameter des LNA mit NJG1107

Das Zuleitungskabel zur Aktivantenne hat eine Dämpfung von 6 dB, die aber nur eine Erhöhung der Rauschzahl des Gesamtsystems um 0,4 dB hervorrufen.

Applikationen

Als GPS-Hardware wurde eine Palette von GPS Empfängern entwickelt, die zur Integration in eine Dual Band GSM/GPS-Plattform vorgesehen sind, aber auch als eigenständige Module verwendet werden können (s. Abb. 3).

Als Beispiel sollen hier nur die GPS-Module der JP2..JP5 Klasse aufgeführt werden, die sich auszeichnen durch:

- kompaktes Single Board Design (22x30mm)
- 12 Kanal GPS Empfänger
- NMEA-0183, RTCM SC-104 und SiRF-Binär-Datenformat
- Power Management: Trickle Power Mode
- exzellente TTFF Aquisitionsrate
- integrierter LNA
- Submeter GPS Genauigkeit

Mit dem JP3 Board steht ein System zur Verfügung, welches die Hardwarebasis für kompakte, low power und hocheffiziente OEM Navigations-, Sicherheits- und Überwachungs-lösungen bietet.

Dienstleistungen

Das IMMS bietet Dienstleistungen in folgenden Bereichen an:

- Schaltungsentwurf
- PCBoard-Design
- Realisierung von Labormustern
- Analyse und messtechnische Charakterisierung (DC- und HF-Messungen bis 50GHz)
- Beratung und Schulung

Dazu stehen Ihnen neben verschiedensten Entwurfswerkzeugen und umfangreicher Messtechnik unsere Mitarbeiter mit ihrem Know-How und ihren Erfahrungen zur Verfügung.

Ansprechpartner:

Dipl.-Ing. Björn Bieske

Tel.: +49 (3677) 678336

Email: bjoern.bieske@imms.de

Dipl.-Ing. Sabine Pohlmann

Tel: +49 (3677) 678322

Email: sabine.pohlmann@imms.de

Entwicklung von Hochtemperaturschaltkreisen in SOI

Zielstellung

Das Themengebiet SOI-Schaltungstechnik hat im Jahr 2002 folgende Themenschwerpunkte bearbeitet:

- Entwicklung von analogen und digitalen Teilblöcken als Bibliothekselemente für die XI10-Technologie
- Weiterentwicklung des CADENCE Design-Kits der XI10-Technologie
- Entwurf und Layout einer 42V Power-Supply (EU-Projekt ANASTASIA+)
- Entwicklung von EEPROM-, SRAM- Strukturen und analogen Teilblöcken die auf der SOI-Technologie XI10 basieren (EU-Projekt ATHIS)
- Designarbeiten zu einer Vorstudie für einen SOI-ASIC
- Modellierung von TLP-Messungen an aktiven ESD-Schutzstrukturen (Projekt ASDE-SE)

Bei allen Arbeiten wurde besonderer Wert auf die Wiederverwendbarkeit der entwickelten Strukturen und analogen Blöcke gelegt. Es werden im Folgenden exemplarisch die zum Projekt ATHIS durchgeführten Arbeiten vorgestellt.

Forschungsverlauf und -stand

Im April 2002 startete das EU Projekt ATHIS (**A**dvanced **T**echniques for **H**igh temperature **S**ystem-on-chip), an dem das IMMS für die gesamte Laufzeit von 42 Monaten als Projektpartner beteiligt ist. Neben dem IMMS wirken Unternehmen und Institutionen aus Belgien, Deutschland, Großbritannien, Italien und Spanien an ATHIS mit. Ziel des Projektes ist es, anhand eines Demonstrators die Funktionsfähigkeit und Testbarkeit integrierter Systeme für den Temperaturbereich über 200°C nachzuweisen.

Gegenstand des Projektes ATHIS ist die Entwicklung eines komplexen ASICs für den Automobilbau. Dieser dient zur Ansteuerung eines Aktors. Der Schaltkreis muss unter den im Motorraum zyklisch, auftretenden erhöhten Temperaturen (bis 200°C) arbeiten.

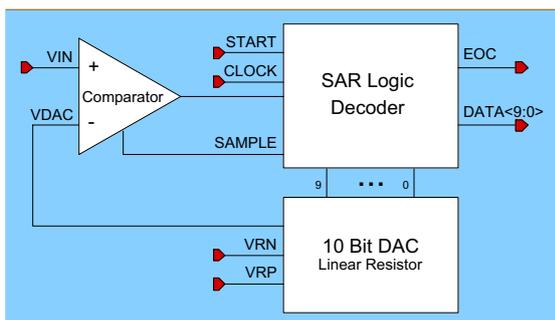


Abb. 1: Blockschaltbild AD-Wandler

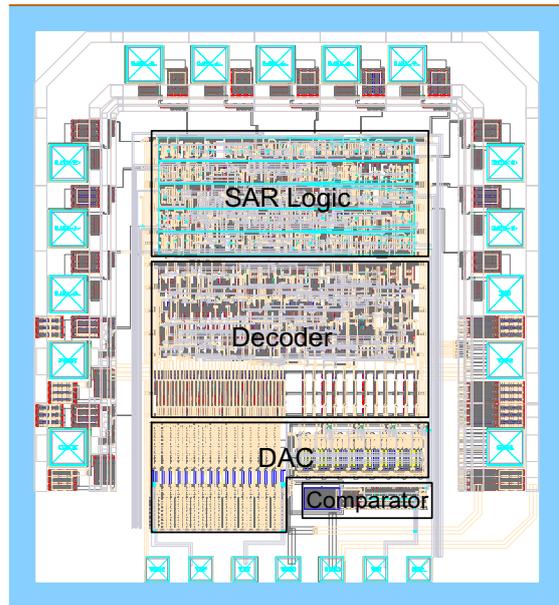


Abb. 2: Layout AD-Wandler

Aufgrund dessen wurde im Projekt ATHIS auf eine 1µm-SOI-Technologie zurückgegriffen.

Die Arbeitsgruppe SOI-Schaltungstechnik hat im Rahmen dieses Projektes die Speicherblöcke (flüchtige und nicht flüchtige Speicher) und analoge Teilblöcke zu realisieren.

Als nichtflüchtige Speicher wurden EEPROM, EPROM und ROM als in Frage kommend ausgewählt. Für EEPROM Speicher wurden neue Single-Poly-Zellen entworfen und messtechnisch untersucht. Die EEPROM Zellen haben ein Programmierfenster von 4V. Zu diesen Zellen sind im nächsten Jahr weitere Untersuchungen erforderlich, um die Programmierspannungen zu senken. Gleichzeitig wurden EPROM-Zellen sowie Zellen für maskenprogrammierbare Speicher präpariert und getestet. Die Auswahl des jeweiligen Speicherprinzips für die nichtflüchtigen Speicher erfolgt in Abstimmung mit den Partnern des Projektes ATHIS. Als flüchtige Speicher wurden SRAM ausgewählt, erste Strukturen wurden hier bereits entworfen und vermessen. Unterschiedliche Versionen von Speichern wurden in Gehäusen aufgebaut und haben den Funktionaltest bei Raumtemperatur bestanden. Weitere Untersuchungen unter erhöhten Arbeitstemperaturen erfolgen im nächsten Jahr. Auf der Basis der gewonnen Erkenntnisse erfolgt dann ein Redesign als vollständig integrierbarer Block. Der im Projekt einsetzbare Schaltkreis ist ein 10 Bit Analog-Digital-Wandler nach dem Wägeverfahren (Successive-Approximation-Register (SAR) Logik) für Hochtemperaturanwendungen (bis 250°C). Das Prinzip des AD-Wandlers ist in Abbildung 1 dargestellt. Das

gewählte Verfahren macht die Verwendung eines 10 Bit Digital-Analog Wandlers erforderlich, der so entworfen wurde, dass er auch einzeln als Teilblock im Projekt ATHIS zur Verfügung steht.

In Abbildung 2 ist das vollständige Chip-Layout des Wandlers gezeigt. Das Core-Layout des ADC hat eine Fläche von 0.86 mm². Messungen bei Raumtemperatur belegen die volle Funktionalität des Umsetzers.

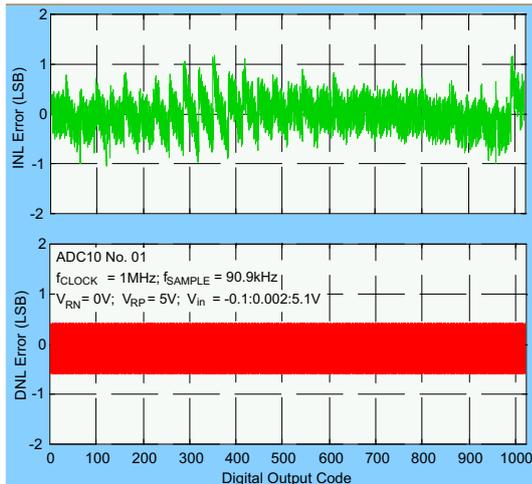


Abb. 3: Messkurven AD-Wandler

In Abbildung 3 ist die gemessene integrale und die differentielle Nichtlinearität (INL und DNL) dargestellt. Die Kennwerte des Wandlers zeigt Tabelle 1.

| | |
|----------------------------------|-----------|
| Auflösung | 10 Bit |
| Integrale Nichtlinearität | ± 1.0 LSB |
| Differentiale Nichtlinearität | ± 0.6 LSB |
| Stromaufnahme (25°C, VRP-VRN=5V) | 0.6 mA |

Tab. 1: Kenndaten AD-Wandler

Die Funktion des Bauelementes konnte bis zu einer Frequenz von über 2 MHz (dies entspricht einer Umsetz-Zeit von ca. 2,5 µs bzw. einer Umsetzrate von 200 kSamples/s) nachgewiesen werden.

Die übrigen für dieses Projekt entworfenen analogen Zellen (Operationsverstärker, Bandgaps, RC-Oszillatoren und Charge Pumps) haben den Funktionaltest durch on-Wafer Messungen bei Raumtemperatur bestanden.

Ausblick

Die bisherigen Arbeiten zu den Teilblöcken im Projekt ATHIS werden fortgesetzt, bis alle Blöcke messtechnisch im Temperaturbereich von 25-225°C charakterisiert sind. Die Zusammenschaltung der analogen Teilblöcke mit

dem von den Partnern zu entwerfenden Digitalteil wird im IMMS durchgeführt werden. Damit verbunden ist auch die Verifikation des gesamten Systems.

Im Projekt ANASTASIA+ werden die bisher separat realisierten Blöcke Step-Down- und Linearregler zu einem 42 V Spannungsversorgungsblock zusammengefügt. Die Untersuchung der Schaltungen mit Hilfe von Tools zur Designzentrierung (WICKET) und Stabilitätsuntersuchung (AnalogInsydes) werden dabei im Vordergrund stehen.

Ansprechpartner:

Dr.-Ing. Dirk Nuernbergk

Tel.: +49 (361) 6632520

Email: dirk.nuernbergk@imms.de

Analyse & Test

Aufbauend auf den positiven Erfahrungen der vergangenen Jahre wurden die Forschungs- und Entwicklungsarbeiten des Themenbereichs Analyse & Test auf dem Gebiet der messtechnischen Bestimmung von Hochfrequenz- und Rauschparametern an Bauteilen im Frequenzbereich 300 kHz bis 50 GHz planmäßig fortgesetzt. Die Software des Messsystems wurde auf den neuesten Stand gebracht und die Präzision der Messungen wird durch eine laufende Verfeinerung der Kalibrier Routinen den steigenden Anforderungen der Halbleiterindustrie angepasst. Die Leistungsfähigkeit der Messtechnik wurde auch im Jahr 2002 auf zahlreichen Konferenzen und Workshops präsentiert. Neben der Charakterisierung von Einzelbauteilen wurde die messtechnische Basis um Komponenten erweitert, die den Test und die Charakterisierung von komplexeren Bauteilen wie z.B. HF-ASICs gestattet (S. 36). Eine besondere Herausforderung stellte dabei der Entwurf von Testboards für HF-ASICs dar. Hierbei kamen vor allem die mittlerweile zweijährigen Erfahrungen auf dem Gebiet des Layout-Entwurfs für GPS/GSM Systeme (S. 34) zum Tragen, um die komplexen Probleme der Leitungsführung bei gemischten Digital- und HF-Systemen zu beherrschen.

Stellvertretend für die Lösung zahlreicher interner und externer (Industrieaufträge) Projekte zum Digital- und Mixed-Signal-Test sollen die Projekte FUSE (S. 46) und Q-Device genannt werden. Die umfangreichen Vorarbeiten zur Testmethodik und zur Hardware beim Mixed-Signal-Test finden ein zunehmendes Interesse bei industriellen Unternehmen. Künftige Arbeiten auf diesem Gebiet konzentrieren sich u.a. auf die Erweiterung des Temperaturbereiches beim Test, um vor allem den steigenden Forderungen von Seiten der Kfz-Industrie Rechnung zu tragen.

Begleitend zu den Aktivitäten im Themenbereich Mikroelektronische Schaltungstechnik wurde ein universeller Mixed-Signal-Messplatz aufgebaut, der insbesondere für die präzise Messung von AD- und DA-Wandlersystemen optimiert ist. Die Auflösung und die dynamischen Eigenschaften der zusammengestellten Messtechnik sind dabei den Forderungen moderner Wandlerprinzipien angepasst.

Neben den Projekten zur Test- und Messtechnik werden im Themenbereich Aufgabenstellungen zur Schaltungstechnik auf dem Gebiet der Leistungselektronik bearbeitet. Schwerpunkte sind hier die Problematik dimmbarer, elektronischer Vorschaltgeräte für Leuchtstofflampen und das Batteriemangement für Lithium Ionen Polymerbatterien.

Ansprechpartner:

Dr. Peter Kornetzky

Tel.: ++49 3677 678316

Email: peter.kornetzky@imms.de

Test für SOI-Projekte

Zielstellung

Seit einigen Jahren sind das IMMS und die X-FAB Semiconductor Foundries AG Erfurt auf dem Gebiet der SOI-Technologie und SOI-Schaltungstechnik aktiv. Dabei erfolgte ebenfalls die Verifikation und die Charakterisierung für eine Vielzahl von Schaltungsteststrukturen wie Transistoren, Digitalzellen und I/O-Zellen, Memories, Q-Devices und Hall-Sensorelementen im IMMS. In diesem Jahr lagen die Schwerpunkte im Bereich Test auf dem Q-Device und auf den Memories.

Forschungsverlauf und -stand

Aufbauend auf die Erfahrungen bei der Verifikation der digitalen SOI-Grundzellen und bei der Schaltungsteststruktur XF20189.1 beauftragte die X-FAB Semiconductor Foundries AG Erfurt das IMMS mit der Charakterisierung des Q-Devices mit der Typbezeichnung

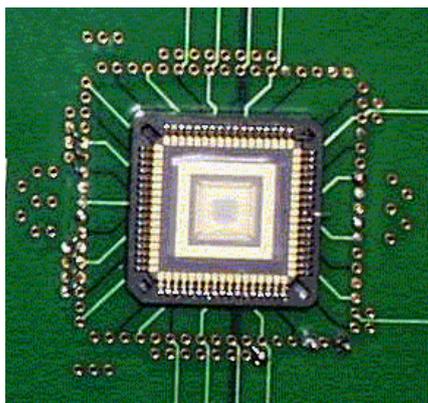


Abb. 1: Q-Device XF20208.1

XF20208.1. Das 68-polige Bauelement dient sowohl für die Charakterisierung der Digitallibrary der SOI-Technologie XI10, als auch für ESD- und Lebensdaueruntersuchungen und der Verifikation des Design-Kits.

Das Q-Device besteht aus sechs verschiedenen I/O-Zellen wie Standardinputzelle, Input mit Schmitttrigger, Input mit pull-up, Input mit pull-down sowie zwei Outputzellen mit verschiedener Treiberfähigkeit. Weiterhin sind ca. 40 Digitalzellen wie Inverter, Buffer, (N)ANDs, (N)ORs, EX(N)ORs und Multiplexer enthalten. Das SOI - Q-Device XM20208.1 gliedert sich in 10 Blöcke, die sich wiederum in Subblöcke mit Elementen der Digitallibrary unterteilen. Jeder Subblock enthält Einzelgatter sowie Ketten von Einzelgattern und bietet vier Funktionen: Logic, Delay-Kette, Ringoszillator und Time-Puls.

Im Rahmen des Projekts erfolgten die Erarbeitung der Testspezifikation, die Loadboardentwicklung und Adaption für das Testsystem

sowie die Konvertierung der Testpattern aus dem Design. Als Basis für die Untersuchungen diente das IC-Evaluierungstestsystem HP82000 des IMMS mit der Einbindung externer Messgeräte für dynamische Messungen. Die Implementierung der Testsoftware erfolgte in HP-VEE- und C-Programmen. Für eine automatisierte Generierung des Testreports wurden ebenfalls HP-VEE- Programme für die Messwertverarbeitung und die Überführung in EXCEL-Sheets eingesetzt. Die Charakterisierung erfolgte bei 25°C, 70°C und 125°C.

Das Projekt wurde von April bis Mai 2002 mit der Abteilung Designsupport der X-FAB Semiconductor Foundries AG Erfurt durchgeführt.

Im Rahmen des ASEDA-Forschungsprojektes „ATHIS“ im IMMS erfolgte die Verifikation von Singleport-RAMs und Dualport-RAMs mit verschiedenen Speicherkapazitäten.

Die on-wafer-Verifikation eines Controllers als Baustein der RAMs erfolgte im Rahmen des Ingenieurpraktikums eines Studenten der FH Jena.

Ausblick

Für 2003 wurde mit der X-FAB Semiconductor Foundries AG Erfurt die Charakterisierung der SOI-Analoglibrary vertraglich gebunden, weiterhin sollen Messungen im Temperaturbereich bis 210°C erschlossen werden. Zu Beginn des Jahres werden auch für das ATHIS-Projekt ein neuer Dualport- und Singleport-RAM verifiziert.

Ansprechpartner:

Dr.-Ing. Klaus Förster

Tel.: +49(3677) 678316

Email: klaus.foerster@imms.de

Testumgebung für HF-ICs

Zielstellung

Bei Standard-ICs ist es selbstverständlich, dass alle ICs on wafer getestet werden, bevor sie ein Gehäuse erhalten. Bei kundenspezifischen HF-ASICs, die nur in kleineren Stückzahlen gefertigt werden, ist ein kompletter Funktionaltest on wafer ökonomisch nicht relevant.

Auch der Test von HF-ICs in SMD-Gehäusen ist nicht trivial, da diese grundsätzlich ihre Applikationsschaltung mit externen HF-Komponenten für eine korrekte Funktion benötigen und eine Standard-Testfassung parasitäre Elemente besitzt, welche die Funktion der Schaltung entscheidend verändern.

Daraus lässt sich die Aufgabenstellung ableiten, eine Testumgebung aufzubauen, die den Funktionaltest von HF-ICs durch Kombination von IC-Tester und HF-Messgeräten für kleine Serien ermöglicht .

Forschungsverlauf und -stand

Zur Anbindung der Messschaltung an den Tester ist ein spezielles Evaluation- bzw. Loadboard notwendig. Als primäres Problem ist die Kontaktierung der ICs zu klären. Kommerzielle HF-Testfassungen, wie sie im Großserienbereich eingesetzt werden, sind aus Kostengründen bei kleinen Stückzahlen nicht anwendbar. Die Parasitics, die durch eine IC-Fassung hervorgerufen werden, sollten so klein wie möglich gehalten werden. Das erfordert aber sehr kurze Anschlüsse, da die HF-kritischen Bauelemente so nah wie möglich am IC platziert werden müssen.

Es wurde eine Lösung zur Kontaktierung gefunden, die sich durch folgende Eigenschaften auszeichnet:

- einfacher manueller IC-Wechsel
- normales SMD Footprint verwendbar
- externe Bauelemente bis 1,5 mm Höhe direkt am IC möglich
- identisches HF-Layout mit und ohne Fassung
- wechselbarer Einsatz für verschiedene Gehäuse
- wiederverwendbare IC-Fassung
- Varianten der Fassung sind für schnellen IC-Wechsel bzw. einfache Mechanik ausgelegt
- moderate Kosten

Die Standzeit der Fassung wird im wesentlichen durch die Qualität der Board-Oberfläche bestimmt, die mit einer Hartgoldschicht versehen sein sollte.

Die Sperrflächen, die von der Fassung belegt werden, liegen nicht direkt am IC, wodurch die Designregeln eingehalten werden können, die in der konkreten Anwendung vorgegeben sind. Frequenzbestimmende Bauelemente können direkt an den IC-Pins angeordnet werden.

Über HF- und DC-Verbindungen bzw. eine Schaltmatrix wird das Evaluationboard mit dem IC-Tester verbunden. So können die in der Device Test Spezifikation aufgeführten Parametertests automatisch und computergesteuert für ein IC komplett abgearbeitet und die entsprechenden Testprotokolle erzeugt werden.

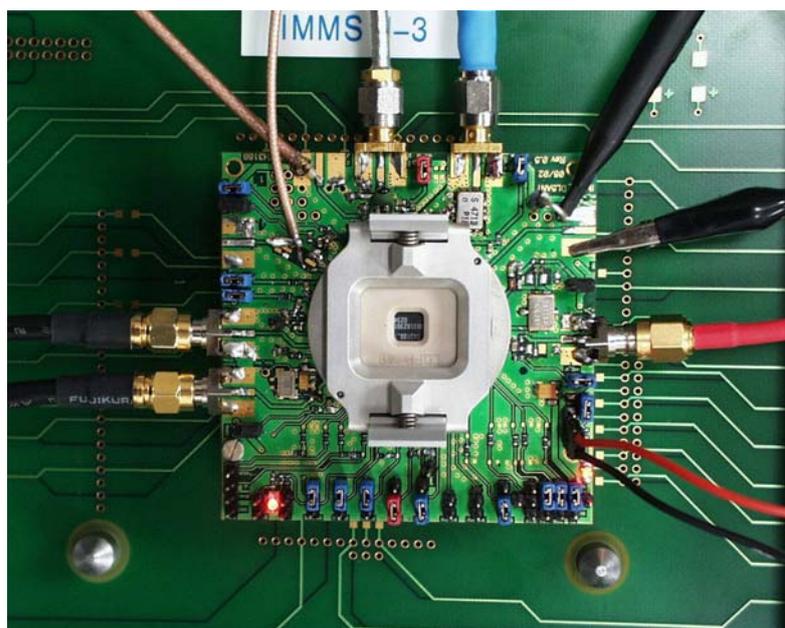


Abb. 1: Evaluationboard am Tester HP82000

Ergebnisse

In Zusammenarbeit mit der Firma Melexis GmbH (Erfurt) wurde der HF-IC TH3188 evaluiert. Dabei handelt es sich um einen kundenspezifischen HF-IC der bei 470 und 940 MHz arbeitet. Er beinhaltet Sender, Empfänger, SPI-Interface, AD-Wandler und Controller und ist für Frequenz- und IQ-Modulation ausgelegt. Es wurde ein Evaluationboard entworfen, welches zur Schaltungsoptimierung und als Messschaltung bzw. Referenzdesign dienen soll (Abb. 1).

Die Steuerung des Testers erfolgt mit HPVee und über den HPIB(IEC488)-Bus. Als externe Messgeräte können folgende angeschlossen werden:

- Spektralanalysator ESA-E4404 bis 6 GHz
- HF-Generator ESG-D4432 bis 3 GHz
- IQ-Signalgenerator SMIQ06B bis 6 GHz mit ARB-Waveformgenerator und Option zur Bitfehlerraten-Messung
- Netzwerkanalysator ZVRE bis 4 GHz mit Time-Domain-Option
- Oszilloskope
- Stromversorgung HP6626

Die Umschaltung der Messgeräte erfolgt über eine HF-Schaltmatrix, die dem benutzten Frequenzbereich und der geforderten Messtdynamik entsprechen muss. Dazu werden spezielle HF-Relais eingesetzt.

Das prinzipielle Setup im Testlabor ist in Abbildung 2 erkennbar.

Ausblick

Basierend auf den Erfahrungen mit HF-ICs bis 1 GHz sollen weitere Testumgebungen etabliert werden. Neben der konkreten Umsetzung der Testspezifikationen sollen Möglichkeiten geschaffen werden, im Frequenzbereich bis 6 GHz in kleinen Serien Charakterisierungen und IC-Tests durchführen zu können. Außerdem ist die Portierung der Testabläufe auf andere Testsysteme vorgesehen

Dienstleistungen

Das IMMS bietet Dienstleistungen in folgenden Bereichen an:

- Testkonzeptionsentwicklung
- Evaluationboard-Design
- IC-Test (DC und HF)
- Bauelementecharakterisierung bis 50
- Beratung und Schulung

Dazu stehen Ihnen neben verschiedensten Entwurfswerkzeugen und umfangreicher Messtechnik unsere Mitarbeiter mit ihrem Know-How und ihren Erfahrungen zur Verfügung.

Ansprechpartner

Dipl.-Ing. Björn Bieske
Tel.: +49 (3677) 678336
Email: bjoern.bieske@imms.de

Dr.-Ing. Klaus Förster
Tel.: +49 (3677) 678316
Email: klaus.foerster@imms.de



Abb. 2: Messgerätekonfiguration im Messlabor

Verfahren zur Charakterisierung von Fuses in 1,0 μm -Technologien und Optimierung des Programmiervorgangs

Zielstellung

Im Jahr 2002 wurde das IMMS erneut mit Untersuchungen zur Programmierung von Fuses durch die X-FAB Semiconductor Foundries AG Erfurt beauftragt. Dabei konnte auf Erfahrungen des Vorjahres zurückgegriffen und auch die Testhardware sowie die Probecard wieder genutzt werden.

Forschungsverlauf und -stand

Die Fuses („Sicherungen“) ermöglichen den Abgleich einer Schaltung auf Wafer-Level. Mit ihnen und entsprechender Auswertelektronik lassen sich so höhere Genauigkeitsanforderungen in analogen oder Mixed-Signal-Schaltungen ohne Spezialequipment erreichen.

Beim Programmieren ändert sich der Widerstand der Fuses von einigen hundert Ohm in den Megaohmbereich. Fuses werden zum Beispiel in ICs der Automobil- oder der Kommunikationselektronik eingesetzt.

Fuses sind Bestandteil der Designkits der Foundries. Die Ergebnisse der Untersuchungen am IMMS fließen in das Designkit der X-FAB Semiconductor Foundries AG Erfurt für die Technologie XC10 ein.

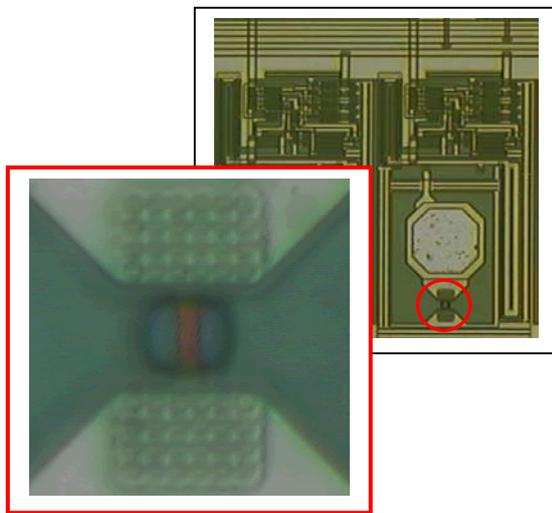


Abb. 1: Chipfoto der Fuses und Vergrößerung einer Layoutvariante

Abbildung 1 zeigt einen Ausschnitt aus der Schaltungsstruktur und Fuses im unprogrammierten Zustand. Die Chipfotos entstanden in Zusammenarbeit mit dem Zentrum für Mikro- und Nanotechnologien der TU Ilmenau (ZMN). Im Projekt waren 48 Fuse-Varianten zu untersuchen. Neben acht Layoutvarianten waren drei verschiedene Oxiddicken und zwei Passivierungen zu bewerten. Dazu wurden für alle

Varianten und einer Vielzahl von Fuses die Strom-Spannungskennlinien aufgenommen.

Die Messungen wurden für die beiden Programmiermodi U-Force und I-Force durchgeführt. Gleichzeitig wurden ebenfalls der Widerstand der Fuses vor und nach der Programmierung sowie die Parameter der Teststruktur erfasst. Abbildung 2 zeigt die I / U-Kennlinien einer Fuse im U-Force-Mode. Hier sind die Kennlinien von 24 Fuses einer Variante übereinandergelegt.

Als Charakterisierungsmesstechnik diente das IC-Evaluierungstestsystem HP82000 des IMMS. Die Implementierung der Testsoftware erfolgte in HP-VEE, die Programme wurden optimiert und für die Analyse der Messergebnisse erweitert. Die Charakterisierungsmessungen, die Programmierung der Chips für die Q-Devices und die Intervallmessungen während des Lifetest erfolgten vollständig im IMMS.

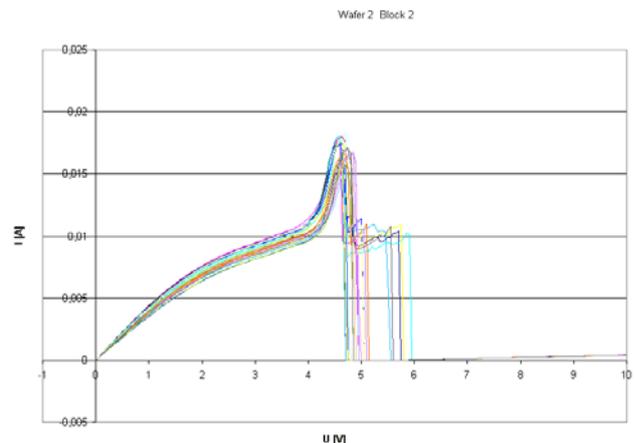


Abb. 2: I / U-Kennlinien einer Fuse-Variante, U-Force

Ausblick

Ausgehend von dem im Dezember 2002 übergebenen Testreport zur Charakterisierung werden die Fusevarianten festgelegt, die in das Designkit einfließen. Für diese Varianten werden im kommenden Jahr Wafer programmiert und aufgebaut. Die Bauelemente, „Q-Devices“ genannt, werden dem 1000 h-Test unterzogen und bilden die Grundlage für die Zuverlässigkeitsbewertung der Programmierbedingungen.

Ansprechpartner :

Dr.-Ing. Klaus Förster
Tel.: +49 (3677) 678316
Email: klaus.foerster@imms.de

Mitgliedschaften in Verbänden, Fachgruppen etc.

- **AMA Fachverband für Sensorik e.V.** - *Fachausschuss „Optische Sensorik“*
- **American Chamber of Commerce**
- **AZT e.V.** - *Automobilezulieferer Thüringen e.V.*
- **DFAM** - *Deutsche Forschungsgesellschaft für die Anwendung der Mikroelektronik e.V.*
- **DFN**
- **EIBA** - *EUROPEAN INSTALLATION BUS ASSOCIATION*
- **EUROPRACTICE**
- **Facharbeitsgruppe Mikrotechnik Thüringen (TMWAI-STIFT)**
- **Fraunhofer Gesellschaft / IOF Jena**
- **Mitglied Leitungsgremium der GI/GMM/ITG-Kooperationsgemeinschaft "Rechnergestützter Schaltungs- und Systementwurf (RSS)"** (Fachausschuß 3.5 der GI, Fachbereich 8 der GMM, Fachausschuß 5.2 der ITG)
- **GI/GMM/ITG-Kooperationsgemeinschaft "Rechnergestützter Schaltungs- und Systementwurf (RSS)"** Fachgruppe 1 "Allgemeine Methodik und Unterstützung von Entwurfsprozessen für Schaltungen und Systeme"; Fachgruppe 2 "Entwurf von analogen Schaltungen"
- **GMM – Beirat**
- **GNT** - *Gesellschaft zur Förderung neuer Technologien Thüringen e.V.*
- **IEEE** - *Circuit and Systems Society; Electron Devices Society; Solid-State Circuits Society*
- **InnoRegio Südthüringen e.V.**
- **ITG-Arbeitskreis** "Zusammenarbeit Industrie und Hochschulen"
- **ITG Fachgruppe** "CAD für den Analogschaltentwurf"
- **Jury des BMWi zum Initiativprogramm "Zukunftstechnologien für kleine und mittlere Unternehmen"** - ZUTECH 1999 – 31.7.2003
- **Mitglied des „Inneren Arbeitskreises“ FUTUR des BMBF**
- **MSDN** - *MICROSOFT DEVELOPERS NETWORK*
- **MTT Mikrotechnik Thüringen e.V.**
- **OptoNet e.V. Thüringen**
- **Programmkomitee Technologiesymposium MTT 2002** (Mikrotechnik Thüringen)
- **Steuergremium des EDACentrums**
- **TZM Erfurt** - *Technologie-Zentrum-Mikroelektronik e.V.*
- **USB - Implementer Forum**
- **VDE / VDI Fachgesellschaften ITG, EKV und GMM**
- **VDE / VDI - Arbeitskreis** „Mikrotechnik Thüringen“
- **VDMA** - *Arbeitskreis "Nutzergruppe Mikrosystemtechnik"*
- **VSIA** - *VITAL SOCKET INTERFACE ALLIANCE*

Veröffentlichungen, Vorträge und Forschungsberichte

Veröffentlichungen, Vorträge:

- Zellmann J., Czerner F.: **“A methodology for high-level design of machine vision systems using SystemC”**
03/02; Paris, SNUG 2002
- Lang, Ch.: **„Verifikation von Mixed-Signal-Schaltungen im Automobilbau“**; 03/02; DASS`2002; Dresden
- Bieske B.: **„Empfänger-Chip-Entwurf für das 868-MHz-Band“**
03/02; Fachzeitschrift „Elektronik Wireless“, S. 75f
- Richter, St.; Göttlich W.; Dr. Nuernbergk, D.; Dr. Nakov, V.; Bormann S.: **„Hitzebest - Design von Mixed-Signal-Hochtemperatur-Ics“**
03/02; Fachzeitschrift „Design & Elektronik“, S. 56f
- Dr. Sinn, W.: **„Mobile Kommunikation - Wertschöpfung, Technologien, neue Dienste“**
03/02; Betriebswirtschaftlichen Verlag Dr. Th. Gabler GmbH
- Prof. Scarbata, G.: **„Mechatronik im Fahrzeug – eine interdisziplinäre Herausforderung“**
04/02; Düsseldorf, Euroforum „Fachkonferenz für die Automobilindustrie“
- Spiller, F., Mollenhauer, O., Kelm, H.-J.: **„Analysegeräte und -instrumente zur Ermittlung physikalisch-technischer Parameter von technischen und biologischen Proben im Mikrometer- und Nanometerbereich“**
Beckmann/Meister/ Heiden/Erb (Hrsg.): Technische Systeme für Biotechnologie und Umwelt - Biosensorik und Zellkulturtechnik; in: Initiativen zum Umweltschutz, Band 41, ISBN 3 503 06645 4; S. 203-213, Erich-Schmidt-Verlag, Berlin, 2002
- Prof. Scarbata, G.: **„Forschungs- und Entwicklungskompetenzen des IMMS gGmbH“**
05/02; Erfurt, „4. Fachmesse und Technologiesymposium für Innovationen in der Mikrotechnik“ (MTT) 2002
- Dr. Schäffel, Ch.: **„Magnetlagertechnik“**
05/02; Erfurt, „4. Fachmesse und Technologiesymposium für Innovationen in der Mikrotechnik“ (MTT) 2002
- Bieske, B.: **„PCBoard Layout: High Frequency – High Speed“**
05/02; Bremen, Analog 2002
- Dr. Weißleder, H.; Bieske, B.: **„Systemdesign von Funkmodulen“**
05/02; Bremen, Analog 2002
- Kindt, R.; Izak, R.: **“An analog approach to compensate for OpAmp offset and finite gain in SC circuitry: A case study of a cyclic RSD ADC”**
06/02; Prague, CZ, International Conference on Advanced A/D and D/A Conversion Techniques and Their Applications (ADDA'02)
- Dr. Weißleder, H.; Bieske B.: **“Flexible Configurable Single Chip Receiver for Low Power Radio Module in 868 MHz Band”**
06/02; St. Petersburg, Russia, 26.-28. Juni, IEEE Conference for Circuits and Systems for Communications
- Pietrusky, J.; Dr. Schröder, Ch.; Vogler, F.: **„Echtzeitsteuerung mit Real Time Linux“**
06-09. Juni 2002, Karlsruhe, begleitende Fachkonferenz zur Messe „LinuxTag“
- Dr. Sinn, W.: **„Mobile Service als Herausforderung für die interdisziplinäre Zusammenarbeit“**
09/02; Karlsruhe, Wepmapping Symposium 2002
- Götze, M.; Kattaneq, W.; Dr. Schreiber, A.: **“A Flexible and Cost-effective Open System Platform for Smart Wireless Communication Devices”**
23.-26. September 2002, Erfurt, IEEE International Symposium on Consumer Electronics (ISCE'02)
- Spiller, Frank; Mollenhauer, Olaf: **„Aufbau und Anwendung neuartiger Tribometer im Bereich kleinster Kräfte“**
Tagungsband zum 47. Internationalen Wissenschaftliches Kolloquium "Maschinenbau und Nanotechnik - Hochtechnologien des 21. Jahrhunderts" der Technische Universität Ilmenau, 23.-26. September 2002; S. 43f, ISSN 0943-7207, UB der TU Ilmenau, 2002
- Dr. Schäffel, Ch.; Katzschmann, M.; Mohr, U.; Whittingham, J.; Michael, St.: **„Modellierung und Simulation von Magnetlagern für hochdrehende Radialverdichter“**
Tagungsband zum 47. Internationalen Wissenschaftliches Kolloquium "Maschinenbau und Nanotechnik - Hochtechnologien des 21. Jahrhunderts" der Technische Universität Ilmenau, 23.-26. September 2002; S. , ISSN 0943-7207, UB der TU Ilmenau, 2002

- Czerner, F.; Zellmann, J.: **“Modelling Cycle-Accurate Hardware with Matlab/ Simulink using SystemC”**
10/02; Stresa (CZ), 6th European SystemC Users Group Meeting
- Dr. Töpfer, H.: **„Design of HTS SFQ Circuits“**
11/02; Yokohama (Japan), 15th International Symposium on Superconductivity
- Dr. Töpfer, H.: **„HTS SFQ Circuits Design”**
- 11/02; Tokyo (Japan), Vortrag am Hitachi Central Research Laboratory
- Dr. Schröder, Ch., Pietruski, J, Peukert, R.: **„Echtzeitsteuerung für mechatronische Systeme“**
11/2002; Fachzeitschrift „Embedded Engineering“, S. 28f
- Hauer, H.; Lang, Ch.: **„Intelligente Sensorsysteme”**
11/02; Fachzeitschrift „Elektronik Embedded Systeme“, S. 46f
- Dr. Stieler, W.; Dr. Töpfer, H.: **„Coole Visionen – Supraleitende Computer in greifbarer Nähe“**
25/2002; Fachzeitschrift „c’t“, S. 170f
- Bieske, B.: **„Designmethodik für Low Power Kommunikationsschaltkreise”**
12/02; Frankfurt/Oder, Kolloquium "Neue IC-Design-Techniken"; GFWW/IHP

allgemeine Publikationen / Forschungsberichte:

- Kindt, R.: **„Anastasia WP2 (work package 2) meeting”**
01/02; Villach, Austria
- Weidhaas, St.: **„Berechnung, Simulation und Aufbau einer Schaltung fuer einen Dual Switch Converter mit PFC“**
01/02; Ilmenau, Diplomarbeit
- Lang, Ch.: **„Grundlagen DSP-gestützter Lösungen“**
03/02; Erlangen, FhG-IIS, Seminar „DSP-ADU - Systemlösungen mit digitalen Signalprozessoren und hochauflösenden Analog-Digital-Umsetzern“
- Lang, Ch.: **„Tools für die Programmierung von DSP“**
03/02; Erlangen, FhG-IIS, Seminar „DSP-ADU - Systemlösungen mit digitalen Signalprozessoren und hochauflösenden Analog-Digital-Umsetzern“
- Czerner, F.; Zellmann, J.: **„Anwendung von SystemC im Entwurf von Bildverarbeitungsap- plikationen“**
04/02; FSU-Jena, Inst. für Informatik, Wissenschaftliches Colloquium
- Mollenhauer, O.; Dr. Spiller, F.; Reuter, F.; Wehrsdorfer, E.; Ahmed, I.; Dr. Scherge, M., Hild, W.: **Abschlußbericht zum Verbundprojekt „Präzisionsantriebe unter erschwerten Einsatzbedin- gungen”**
Thüringer Ministerium für Wissenschaft, Forschung und Kunst; Förderkennzeichen B609-9704; Il- menau, 2002
- Kindt, R.; Izak, R.: **„Analoge SC-Schaltungen zur Korrektur der endlichen Verstärkung und des Offsets von OPV's“**
04/02; TU München, 4. Workshop „Analogschaltungen 2002“
- Ulicna, E.: **„HSCD Operator Module - FIR Filter Applikation und Realisierung“**
05/02; Ilmenau, Seminar „Hardware/ Software Co-Design für Systeme der industriellen Bildverarbeitung“
- Mollenhauer, O.; Dr. Spiller, F.; Schilling, P.; Frenzel, G.; Prof. Höhne, G.; Prof. Hülsenberg, D.; Prof. Schäfer, J.; Prof. Kallenbach, E. u.a.: **Abschlußbericht zum Verbundprojekt „Fabrikation von Mikro-Elektro-Mechanischen Sys- temen (MEMS-Fab)“**
Thüringer Ministerium für Wissenschaft, Forschung und Kunst; Förderkennzeichen B 609-98037; Ilmenau, 2002
- Geyer, H.: **„Durchgängiger modellbasierter Softwareentwurf für Kfz-Steuergeräte“**
09/02; TU Ilmenau, Workshop „x-by-wire Technologien für Kraftfahrzeuge - eine Herausforderung für die Ingenieure der Zukunft“
- Geyer, H.: **„Durchgängiger modellbasierter Entwurf von eingebetteten Systemen am Bei- spielmodellbasierter Entwurf von eingebetteten Systemen am Beispiel einer Antriebs- schlupfregelung“**
09/02; Ilmenau, Diplomarbeit

- Dr. Sinn, W.: „**Die drahtlos vernetzte Welt - technologische Trends und Strategien**“
10/02; Fachhochschule Wernigerode, 10. Jahrestag des Fachbereichs „Automatisierung und Informatik“
- Prof. Scarbata, G.: „**DSP-Mixed-Signal-ASICs**“
10/02; Frankfurt, DFAM-Herbsttagung
- Lang, Ch.: „**Systematische Softwareentwicklung für Sensorsysteme**“
06. November 2002; Erfurt, Workshop „Embedded Mixed Signal Systems“
- Storm, J.; Hahn, M.: „**Modellierung von Mikroprozessorsystemen in Matlab/Simulink**“
06. November 2002; Erfurt, Workshop „Embedded Mixed Signal Systems“
- Dr. Schäffel, Ch.: „**Magnetische Lagerungen für schnell drehende Wellen**“
06. November 2002; Erfurt, Workshop „Embedded Mixed Signal Systems“
- Zellmann, J.: „**Methodik zur Abbildung von Bildverarbeitungsapplikationen auf programmierbarer Hardware**“
27. November 2002; Ilmenau, Workshop „Hardware/ Software Co-Design für Systeme der industriellen Bildverarbeitung“

Aufsichtsrat des IMMS

Vorsitz:

Herr Dr. H. Hamacher
Thüringer Ministerium für
Wissenschaft, Forschung und
Kunst (TMWFK), Erfurt

Stellv.:

Herr J. Lange
Thüringer Ministerium für Wirt-
schaft, Arbeit und Infrastruktur
(TMWAI), Erfurt

weitere

Mitglieder:

Herr Dr. Hacker
High Tech Private Equity
GmbH, Düsseldorf

Herr Dr. sc. techn. W. Hecker
MAZeT GmbH, Erfurt

Herr Prof. Dr. G. Henning
TU Ilmenau

Herr ORR M. Rupp
Thüringer Finanzministerium
(TFM), Erfurt

Herr H.-J. Straub
X-FAB AG Semiconductor
Foundries GmbH, Erfurt

Herr Prof. Dr. O. Ambacher
TU Ilmenau

Wissenschaftlicher Beirat

Vorsitz:

Herr Prof. Dr. E. Kallenbach
TU Ilmenau / Fak. f.
Maschinenbau

Stellv.:

Herr K. Herre
Zentrum Mikroelektronik Dresden
AG

Herr Prof. Dr. Albrecht
IAM Braunschweig

Herr Dr. W. Fuchs
Carl Zeiss Jena

Herr W. Groß
Technologiezentrum VDI/VDE
Informationstechnik GmbH,
Teltow

Herr Prof. Dr. H.-E. Hoenig
Institut für Physikalische Hoch-
technologie e. V., Jena

Herr Prof. Dr. D. Hofmann
GMM Saarlois

Herr Prof. Dr. G. Jäger
TU Ilmenau / Fak. f.
Maschinenbau

Herr Dr. B. Jakob
Technologie- und
Gründerzentrum GmbH, Ilmenau

Herr Prof. Dr. W. Karthe
FhG Institut für Angewandte
Optik und Feinmechanik, Jena

Herr Dr. J. Kosch
X-FAB AG, Erfurt

Herr Prof. Dr. H. Puta
TU Ilmenau / Fak. f. Informatik
und Automatisierung

Frau Prof. Dr. D. Schmitt-
Landsiedel
TU München / Fak. f. Elektro-
und Informationstechnik

Herr L. Siegemund
IHK Südthüringen, Suhl

Herr Prof. Dr. M. Weck
Werkzeugmaschinenlabor RWTH,
Aachen

ständige Gäste:

Herr Dr. M. Kummer
Thür. Ministerium für Wirtschaft,
Arbeit und Infrastruktur

Herr Dr. K. Täubig
Thür. Ministerium für
Wissenschaft, Forschung und
Kunst (TMWFK), Erfurt

Institut für Mikroelektronik- und
Mechatronik - Systeme gGmbH

IMMS gGmbH

Langewiesener Strasse 22
D - 98693 Ilmenau (Thüringen)

Geschäftsleitung:
Prof. Dr. Gerd Scarbata
Hans-Joachim Kelm

Sekretariat:
Monika Schild

Telefon: +49 (3677) 6783-0
Telefax: +49 (3677) 6783-37
Email: imms@imms.de
www: <http://www.imms.de>

Kontakte:

System Design:

Dr. - Ing. Christian Schröder
Tel: +49 (3677) 6783-15 / Email: christian.schroeder@imms.de

*Schaltungstechnik /
Mikroelektronik:*

Prof. Dr. Franz Rößler
Tel: +49 (361) 42766-39 / Email: franz.roessler@imms.de

*Schaltungstechnik /
PCB - Technik*

Dr. - Ing. Peter Kornetzky
Tel: +49 (3677) 6783-16 / Email: peter.kornetzky@imms.de

Mechatronik:

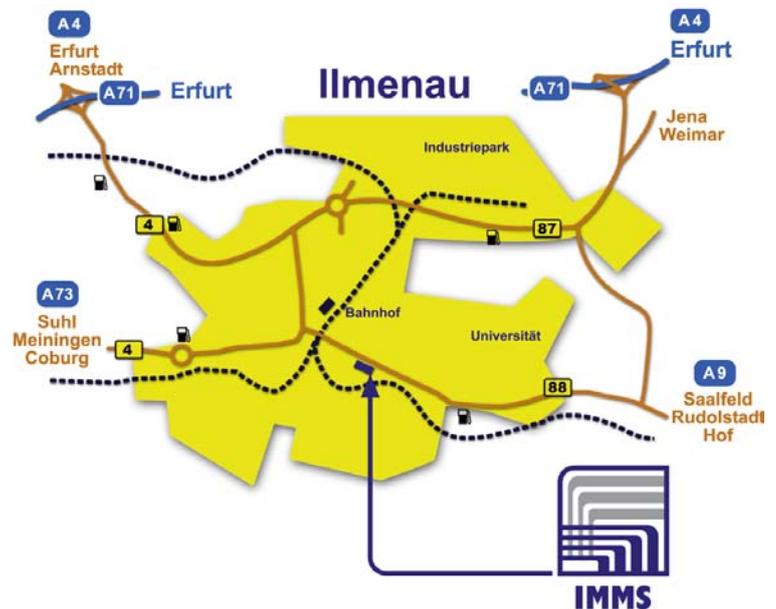
Dr. - Ing. Christoph Schäffel
Tel: +49 (3677) 6783-33 / Email: christoph.schaeffel@imms.de

Analyse & Test:

Dr. - Ing. Peter Kornetzky
Tel: +49 (3677) 6783-16 / Email: peter.kornetzky@imms.de

Marketing:

Dr. - Ing. Wolfgang Sinn
Tel: +49 (3677) 6783-76 / Email: wolfgang.sinn@imms.de



Außenstelle Erfurt:

Haarbergstrasse 67
D - 99097 Erfurt (Thüringen)

Telefon: +49 (361) 42766-39
+49 (361) 42766-01
Telefax: +49 (361) 4170-162

Kontakt:

Prof. Dr. Franz Rößler
Tel: +49 (361) 42766-39
Email: franz.roessler@imms.de

